



Université de Bourgogne

Faculté Mirande

Rapport de projet

Licence Electronique, Signal et Image

Réalisation d'une carte de traitement d'image à base de FPGA

Sébastien Jeanniard

Guillaume Lemaître

Novembre 2008

SOMMAIRE :

1	Etude de la carte acquisition/envoi vidéo :	7
1.1	Schéma fonctionnel de la carte :	7
1.2	Schéma structurel de la carte :	9
1.3	Etude de la partie acquisition de la carte vidéo :	11
1.3.1	F1 – Extraction des signaux contenant les informations temporelles :	14
1.3.2	F2 – Création des signaux permettant de déterminer le mode de fonctionnement du convertisseur analogique numérique :	17
1.3.3	F3 – Amplificateur de signal +5V et isolateur galvanique du CAN :	23
1.3.4	F4 – Convertisseur Analogique Numérique :	24
1.3.5	F5 – Oscillateur 10 MHz :	29
1.4	Etude de la partie envoi de la carte :	31
1.4.1	F6 – Convertisseur Numérique Analogique :	32
1.4.2	F7 – Inverseur :	34
1.4.3	F8 – Sommateur :	35
1.4.4	F9 – Amplificateur :	37
2	Etude de la carte de traitement d’image à base FPGA :	40
2.1	Présentation générale :	40
2.1.1	FPGA :	40
2.1.2	RAM :	40
2.2	Schéma structurel des liaisons entre le FPGA et la RAM :	40
2.3	Mode de fonctionnement du FPGA :	42
2.4	Mode de fonctionnement de la RAM :	42
2.4.1	Caractéristiques :	42
2.4.2	Détermination de fonctionnement :	42
3	Programmation logique interne au FPGA destiné au traitement d’image :	44
3.1	Négatif :	44
3.2	Lisseur :	44
3.3	Gradient :	45

3.4	Soustraction entre deux images :	48
4	Conclusion :	50

ILLUSTRATION DES FIGURES :

Figure 1 : Schéma fonctionnel de la carte d'acquisition/envoi vidéo	8
Figure 2 : Schéma structurel de la carte d'acquisition/envoi vidéo	10
Figure 3 : Partie acquisition de la carte.....	11
Figure 4 : Schéma structurel de la partie acquisition.....	12
Figure 5 : Représentation d'une image.....	13
Figure 6 : Chronogramme temporel d'un signal composite vidéo.....	14
Figure 7 : F1 - Extractions des signaux contenant les informations temporelles.....	14
Figure 9 : Bleu : signal composite vidéo - Rouge : signal synchronisation composite	15
Figure 8 : schéma structurel du LM 1881.....	15
Figure 10 : Chronogramme temporel du signal de synchronisation vertical	16
Figure 11 : Bleu : signal composite vidéo - Rouge : signal de burst	16
Figure 12 : F2 - Création des signaux permettant de déterminer le mode de fonctionnement du CAN.....	17
Figure 13 : Câblage du premier monostable.....	18
Figure 14 : Rouge : signal synchronisation composite - Bleu : Gate A	19
Figure 15 : Câblage du second monostable	20
Figure 16 : Bleu : signal synchronisation composite - Rouge : signal 1Q du monostable	21
Figure 17 : Bleu : sortie monostable 1Q inversé - Rouge : sortie monostable 2Q nommé Gate B	22
Figure 18 : Bleu : Gate A - Rouge : Gate B.....	23
Figure 19 : F3 – Amplificateur de signal +5V et isolateur galvanique du CAN	24
Figure 20 : Schéma structurel du 74HC08.....	24
Figure 21 : F4 – Convertisseur Analogique Numérique.....	25
Figure 22 : schéma structurel CAN TDA8708	26
Figure 23 : Vert : signal composite analogique video - Bleu : Gate A - Rouge : Gate B.....	27
Figure 24 : Mode 2 du CAN	27
Figure 25 : Synchro ligne représentant le niveau de référence 0	28
Figure 26 : niveau de noir à la valeur numérique 64	28
Figure 27 : Fonctionnement en mode 2.....	29
Figure 28 : F5 – Oscillateur 10 MHz	29
Figure 29 : Oscillateur 10 MHz	30
Figure 30 : Partie envoi de la carte	31
Figure 31 : Schéma structurel de la partie envoi de la carte.....	32
Figure 32 : F6 – Convertisseur Numérique Analogique.....	33
Figure 33 : schéma structurel du CAN TDA8702	33
Figure 34 : Signal de sortie du CNA	34
Figure 35 : F7 – Inverseur.....	34

Figure 36 : Montage inverseur	35
Figure 37 : Bleu : signal sortie CNA - Rouge : signal sortie inverseur.....	35
Figure 38 : F8 – Sommateur	36
Figure 39 : Montage sommateur	36
Figure 40 : Rouge : signal inversé - Vert : signal burst - Bleu : signal sommé	37
Figure 41 : F9 – Amplificateur	37
Figure 42 : Montage amplificateur.....	38
Figure 43 : Signal mis en forme.....	39
Figure 44 : Exemple d'un circuit FPGA	40
Figure 45 : schéma structurel des liaisons entre le FPGA et la RAM.....	41
Figure 46 : Logigramme pour obtenir le négatif	44
Figure 47 : Logigramme du lisseur	45
Figure 48 : Logigramme d'un gradient	48
Figure 49 : Soustraction entre deux images.....	49

Introduction :

Ce rapport propose une synthèse des travaux réalisés lors des séances de projets L3 ESI. L'étude porte ici sur la réalisation d'une carte de traitement du signal à base de FPGA.

Ce manuscrit se décompose en plusieurs parties, nous présenterons dans un premier temps l'étude que nous avons effectué sur la carte acquisition/envoi vidéo. Nous détaillerons dans cette partie la structure et le fonctionnement de cette carte.

Dans une seconde partie, nous étudierons la structure de la carte qui effectuera le traitement d'image grâce à un FPGA.

Enfin, dans la troisième partie, nous étudierons la programmation logique implantée dans le FPGA qui permettra le traitement d'image.

1 ETUDE DE LA CARTE ACQUISITION/ENVOI VIDEO :

Nous présenterons dans cette partie, dans un premier temps le schéma fonctionnel de la carte et dans un second temps le schéma fonctionnel de la carte. Dans une troisième partie, nous présenterons le fonctionnement de la partie acquisition de la carte vidéo et enfin dans une quatrième partie nous étudierons la partie envoi de la carte vidéo

1.1 SCHEMA FONCTIONNEL DE LA CARTE :

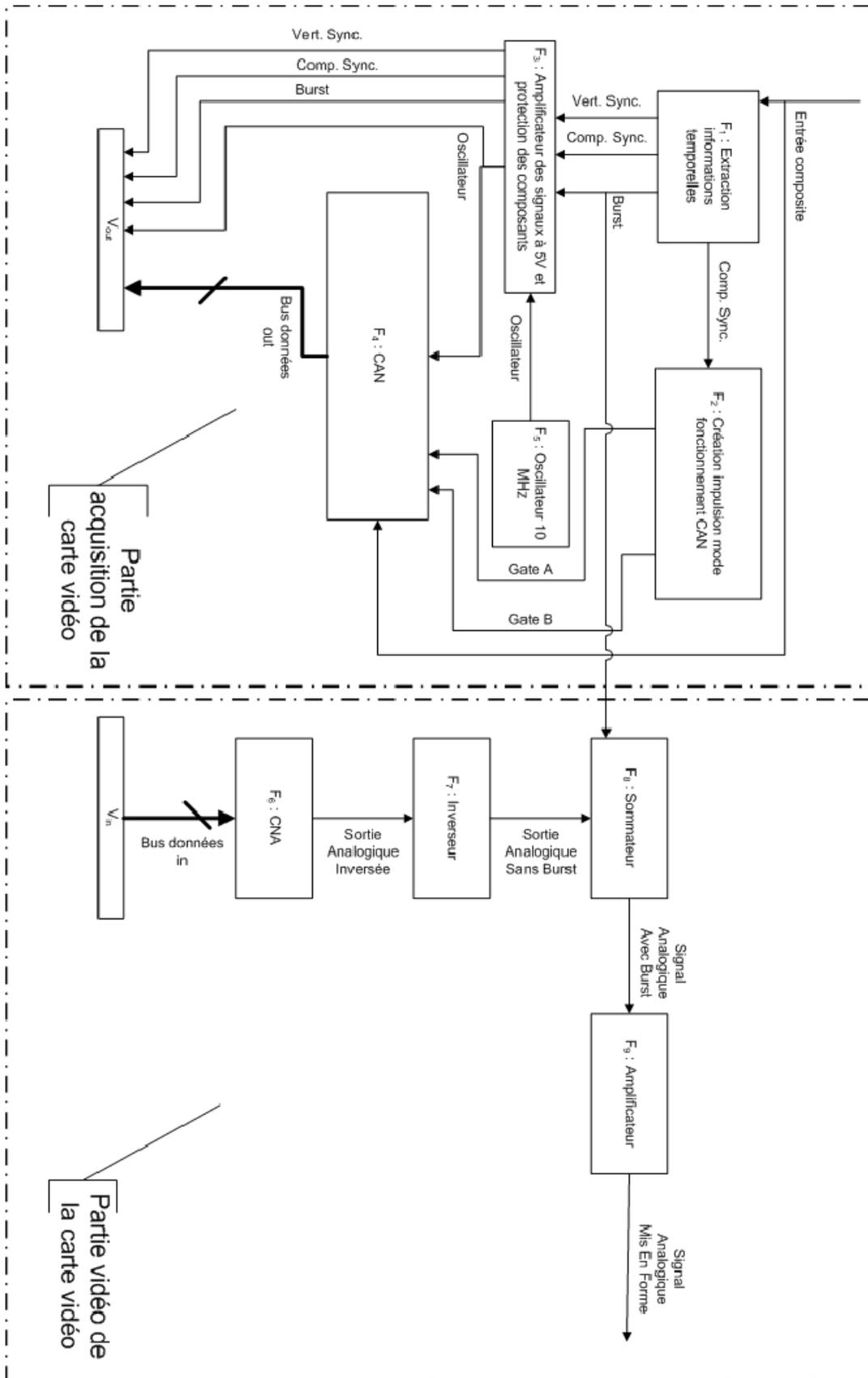


FIGURE 1 : SCHEMA FONCTIONNEL DE LA CARTE D'ACQUISITION/ENVOI VIDEO

1.2 SCHEMA STRUCTUREL DE LA CARTE :

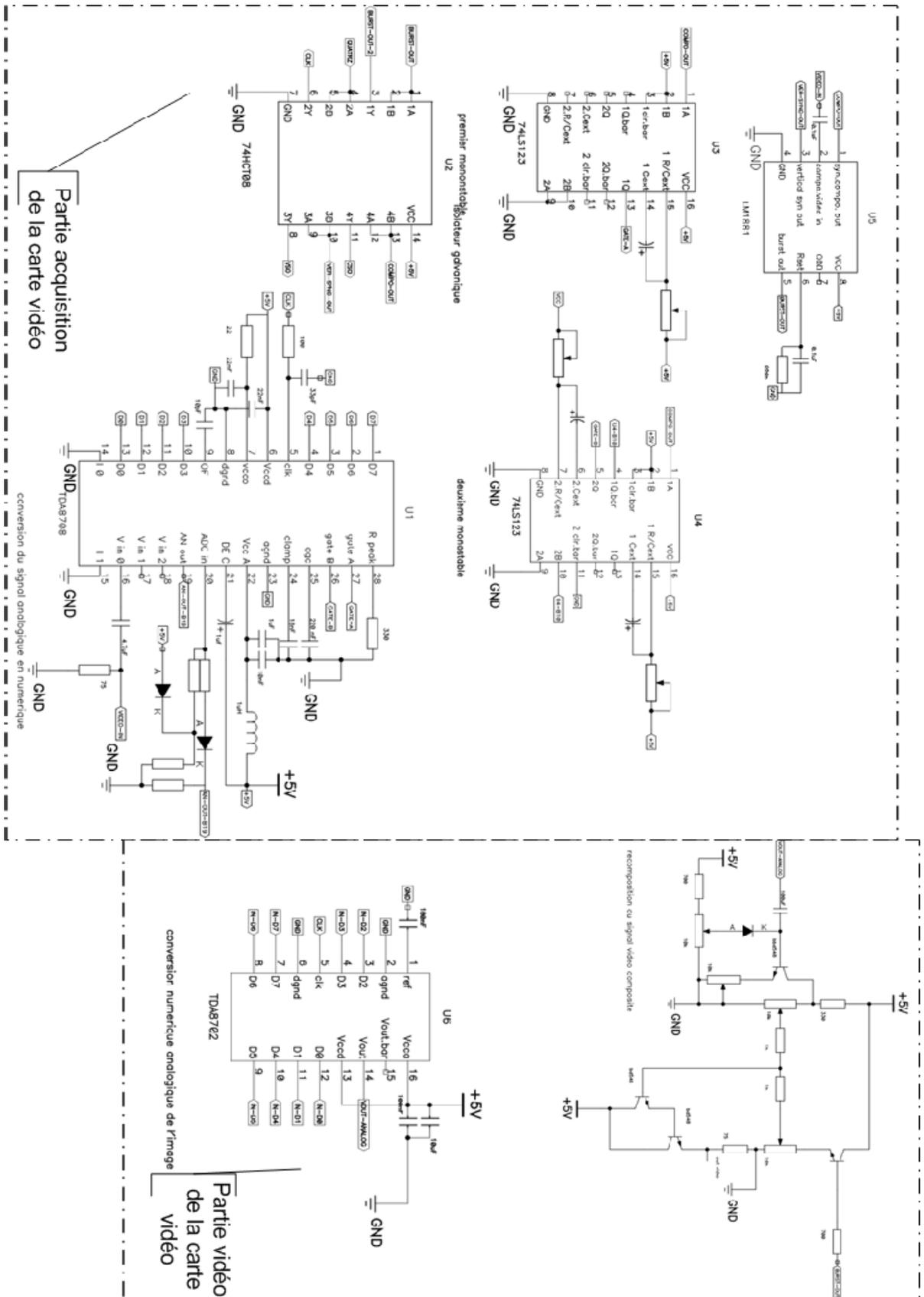


FIGURE 2 : SCHEMA STRUCTUREL DE LA CARTE D'ACQUISITION/ENVOI VIDEO

1.3 ETUDE DE LA PARTIE ACQUISITION DE LA CARTE VIDEO :

Dans cette partie nous présenterons, les différentes fonctions qui permettent l'acquisition d'une image. Ces fonctions sont représentées sur le schéma fonctionnel ci-dessous :

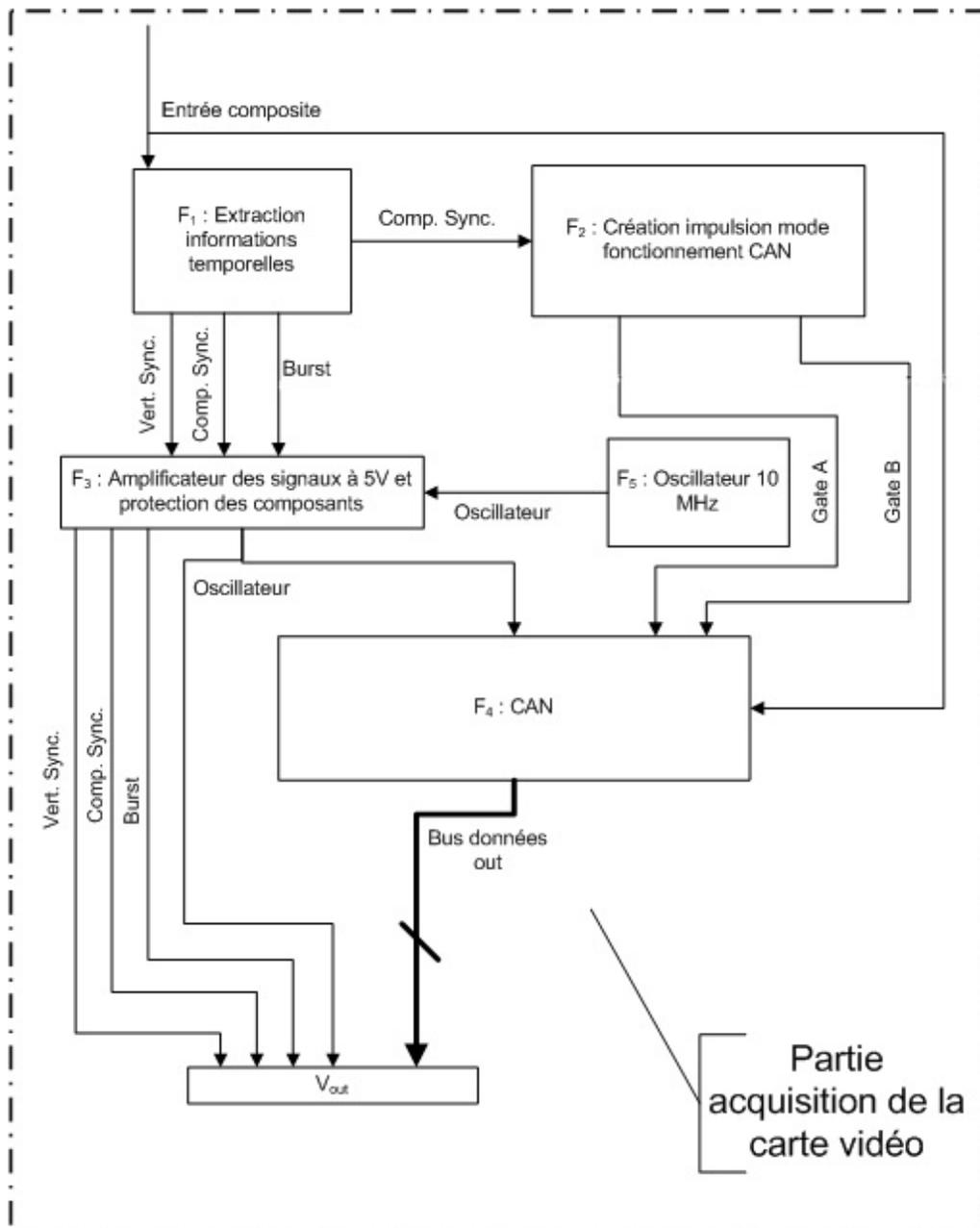


FIGURE 3 : PARTIE ACQUISITION DE LA CARTE

Le schéma structurel de cette partie est le suivant :

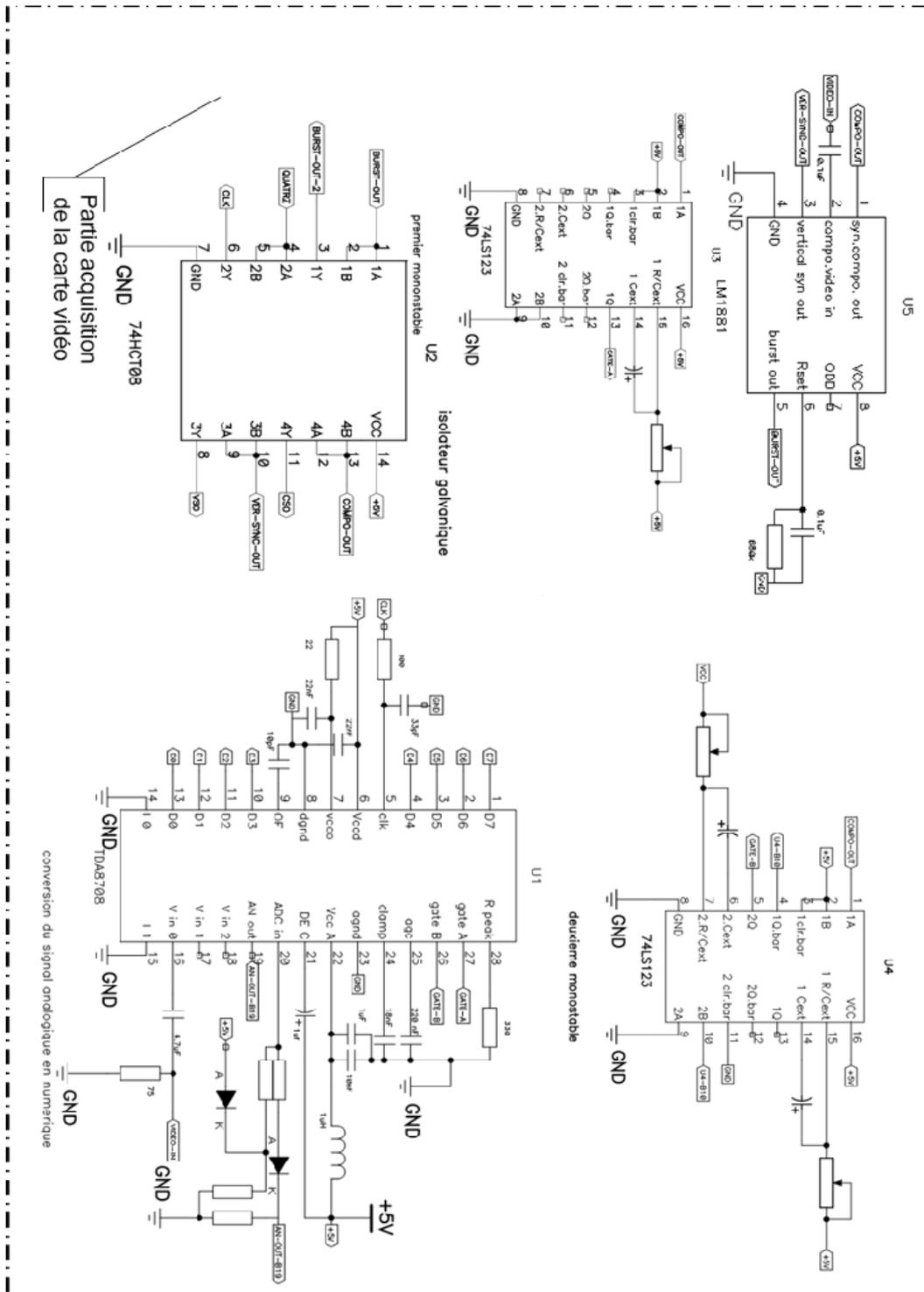


FIGURE 4 : SCHEMA STRUCTUREL DE LA PARTIE ACQUISITION

Le principe de la partie acquisition de la carte est de capturer un signal analogique provenant d'une camera

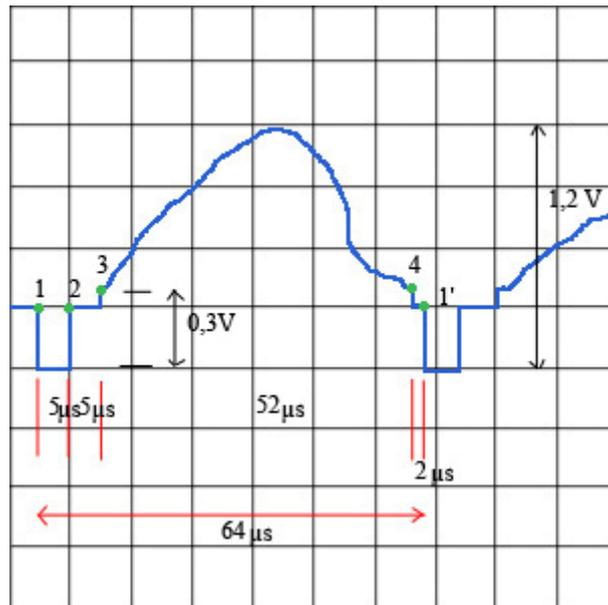


FIGURE 6 : CHRONOGRAMME TEMPOREL D'UN SIGNAL COMPOSITE VIDEO

La zone de 1 à 2 de durée 5 μ s est appelée synchro ligne. La zone de 2 à 3 de durée de 5 μ s est appelée burst chroma. Le burst chroma indique le niveau de noir de référence. Le signal qui comporte l'information est compris entre la tension de burst qui est le noir et la tension de 1 V qui est le blanc. Toutes les tensions intermédiaires sont différents niveau de gris. Cette partie du signal est comprise entre les points 3 et 4. La période est de 52 μ s. Nous avons une dernière zone entre 4 et 1' qui dure 2 μ s.

1.3.1 F1 – EXTRACTION DES SIGNAUX CONTENANT LES INFORMATIONS TEMPORELLES :

Cette fonction est réalisée par le composant LM 1881. Ce composant permet d'extraire les signaux portant l'information temporelle à partir d'un signal d'entrée composite analogique vidéo. Les signaux générés et que nous allons étudier sont les suivants : le signal de synchronisation composite, le signal de synchronisation vertical et le signal de burst.

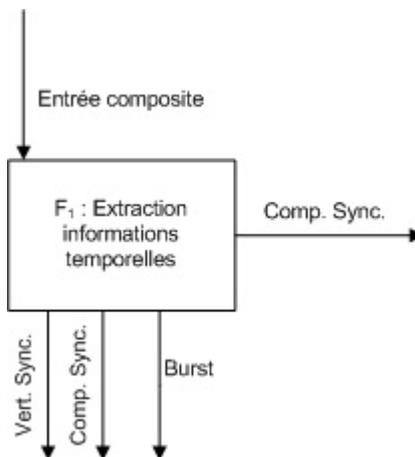


FIGURE 7 : F1 - EXTRACTIONS DES SIGNAUX CONTENANT LES INFORMATIONS TEMPORELLES

Le câblage de ce composant est le suivant :

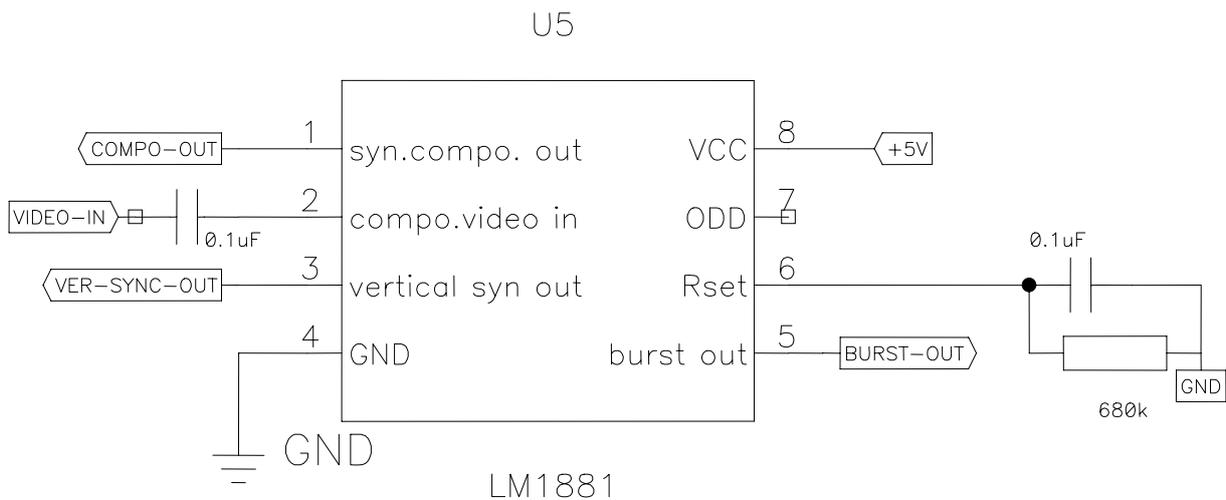


FIGURE 8 : SCHEMA STRUCTUREL DU LM 1881

1.3.1.1 SIGNAL DE SYNCHRONISATION COMPOSITE :

Le signal de synchronisation composite est une reproduction du signal composite analogique vidéo d'entrée sans le burst chroma et les données vidéos. Le chronogramme temporel de ce signal est le suivant :

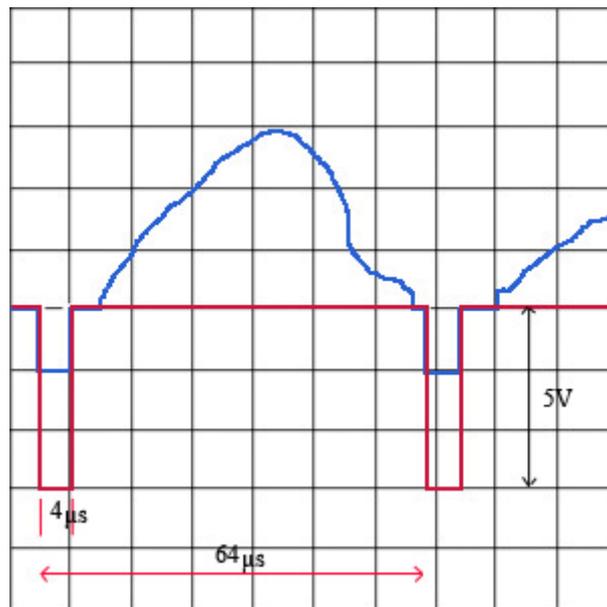


FIGURE 9 : BLEU : SIGNAL COMPOSITE VIDEO - ROUGE : SIGNAL SYNCHRONISATION COMPOSITE

Ce signal à une durée de 64 μ s. Son amplitude est de 5 V. Il est déclenché sur front descendant de la synchro ligne du signal composite analogique vidéo d'entrée. L'impulsion générée lors de la détection de ce front descendant est de 4 μ s.

1.3.1.2 SIGNAL DE SYNCHRONISATION VERTICAL :

Le signal de synchronisation vertical permet de déterminer le début de chaque nouvelle trame. Son chronogramme temporel est représenté ci-dessous :

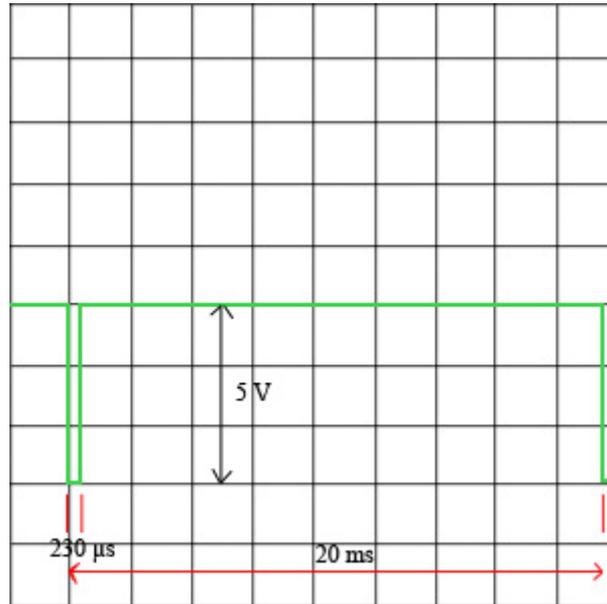


FIGURE 10 : CHRONOGRAMME TEMPOREL DU SIGNAL DE SYNCHRONISATION VERTICAL

La période de ce signal est donc la même que celle d'une trame c'est-à-dire 20 ms. Le temps de l'impulsion indiquant le début de la trame est de 230 μ s. L'amplitude du signal est de 5 V.

1.3.1.3 SIGNAL DE BURST :

Le signal de burst est un signal généré sur front descendant du signal de synchronisation composite. Il peut permettre de restaurer un signal vidéo sans burst. Le chronogramme temporel est représenté ci-dessous :

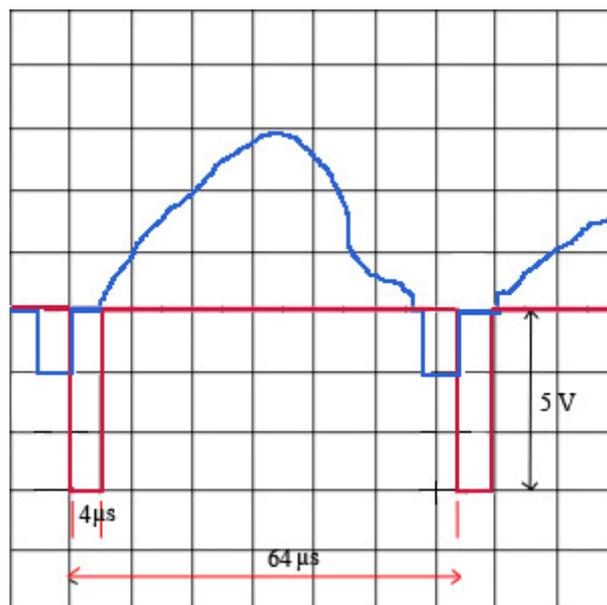


FIGURE 11 : BLEU : SIGNAL COMPOSITE VIDEO - ROUGE : SIGNAL DE BURST

Ce signal a une période de 64 μ s et la durée de l'impulsion est de 4 μ s et d'une amplitude de 5 V.

Tous ces signaux servent à choisir le fonctionnement de la carte d'acquisition ou servent de synchronisation pour la carte de traitement d'image.

1.3.2 F2 – CREATION DES SIGNAUX PERMETTANT DE DETERMINER LE MODE DE FONCTIONNEMENT DU CONVERTISSEUR ANALOGIQUE NUMERIQUE :

Cette fonction est remplie par deux monostables SN54LS123. Le principe est de générer deux signaux que nous nommerons Gate A et Gate B et qui détermineront le mode de fonctionnement du convertisseur analogique numérique. Cette fonction peut être représentée de la façon suivante :

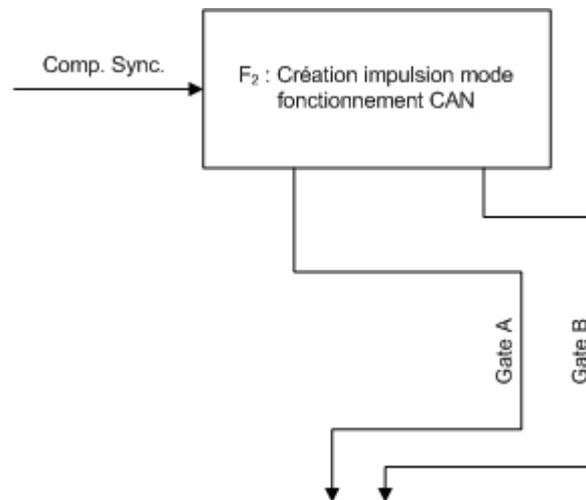


FIGURE 12 : F2 - CREATION DES SIGNAUX PERMETTANT DE DETERMINER LE MODE DE FONCTIONNEMENT DU CAN

A partir du signal de synchronisation composite, le premier monostable va générer le signal Gate A et le second monostable va générer le signal Gate B.

Nous allons étudier chaque monostable en détail.

1.3.2.1 PREMIER MONOSTABLE GENERANT GATE A :

Le câblage du premier monostable est le suivant :

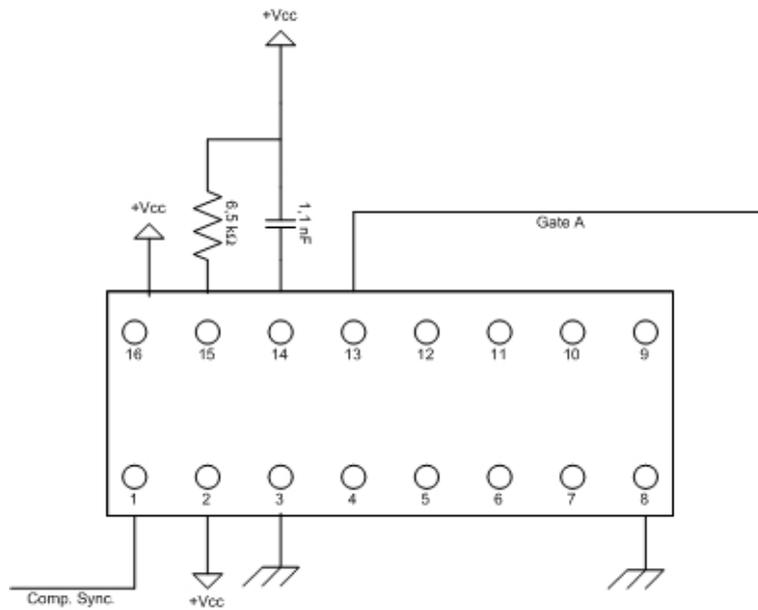


FIGURE 13 : CABLAGE DU PREMIER MONOSTABLE

A partir de ce câblage et de la documentation nous pouvons en déduire la durée de l'impulsion générée par le monostable. Puisque la broche 2 est à +Vcc, l'impulsion sera déclenché sur front descendant du signal de synchronisation composite. D'après la documentation, le temps d'impulsion est régit par :

$$t_w = K_D \cdot R_T \cdot C_{ext} \left(1 + \frac{0,7}{R_T} \right) \quad \text{avec } K_D = 0,25$$

D'après les valeurs de la résistance (6,5 kΩ) et du condensateur (1,1 nF) nous avons :

$$t_w = 0,25 \cdot 6,5 \cdot (1,1 \cdot 10^3) \cdot \left(1 + \frac{0,7}{6,5} \right)$$

D'où

$$t_w = 1,980 \mu s$$

Le chronogramme temporel relevé est le suivant :

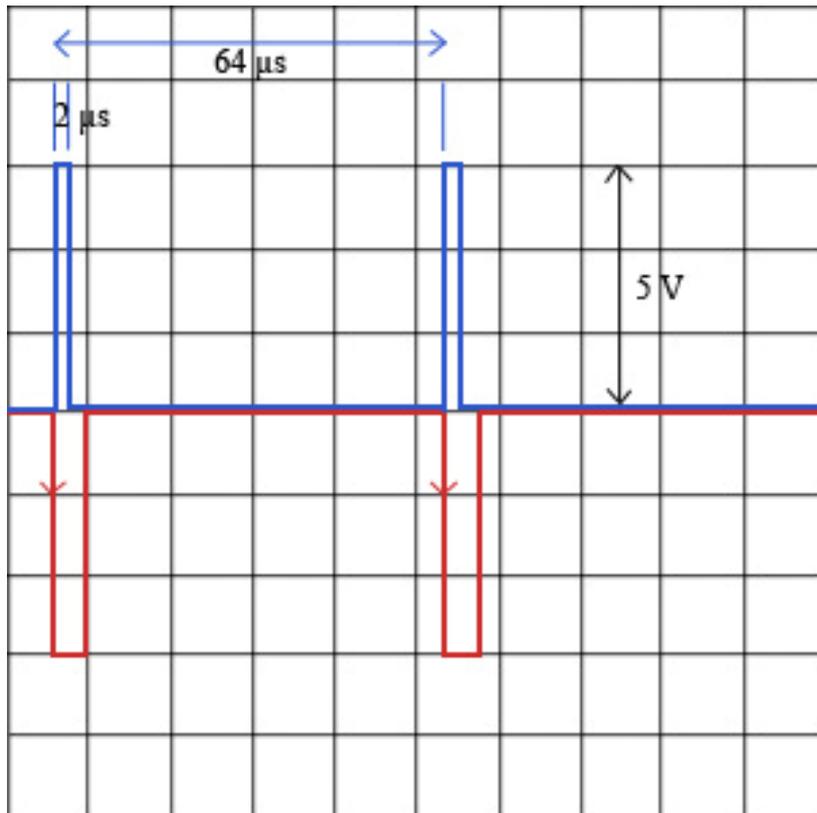


FIGURE 14 : ROUGE : SIGNAL SYNCHRONISATION COMPOSITE - BLEU : GATE A

1.3.2.2 SECOND MONOSTABLE GENERANT GATE B :

Le câblage du second monostable est le suivant :

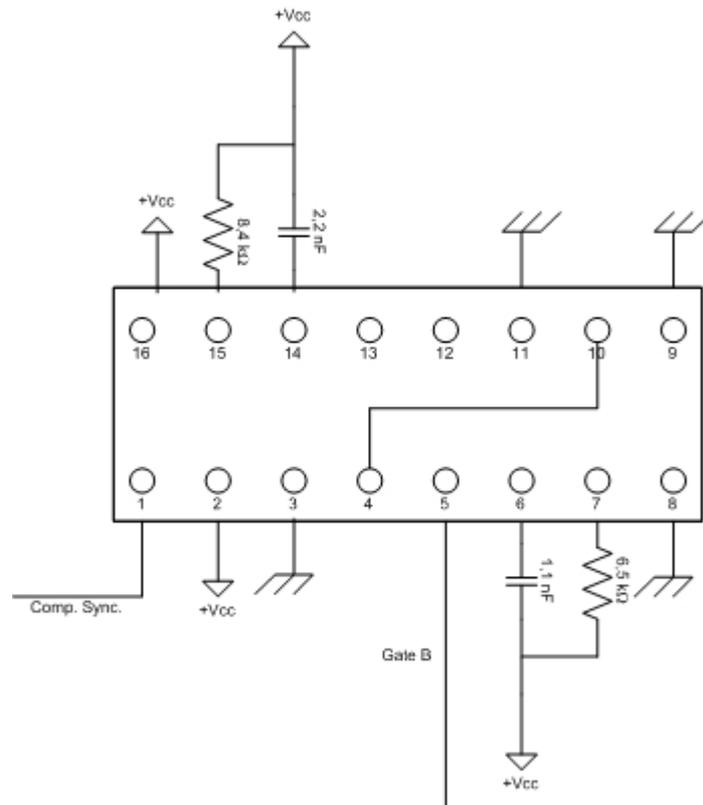


FIGURE 15 : CABLAGE DU SECOND MONOSTABLE

Le composant est composé de deux monostables. Ceux-ci sont montés en cascade. C'est-à-dire que le premier monostable est rebouclé sur l'entrée du second monostable. La première partie du monostable est câblé comme le précédent monostable. Seules les valeurs de résistance et du condensateur. La résistance vaut 8,4 kΩ et le condensateur vaut 2,2 nF. En appliquant la relation du constructeur, on obtient une impulsion de durée :

$$t_w = 0,25 \cdot 8,4 \cdot (2,2 \cdot 10^3) \cdot \left(1 + \frac{0,7}{8,4}\right)$$

D'où

$$t_w = 5,005 \mu s$$

L'impulsion est donc déclenchée sur front descendant du signal de synchronisation composite. Le chronogramme temporel est le suivant :

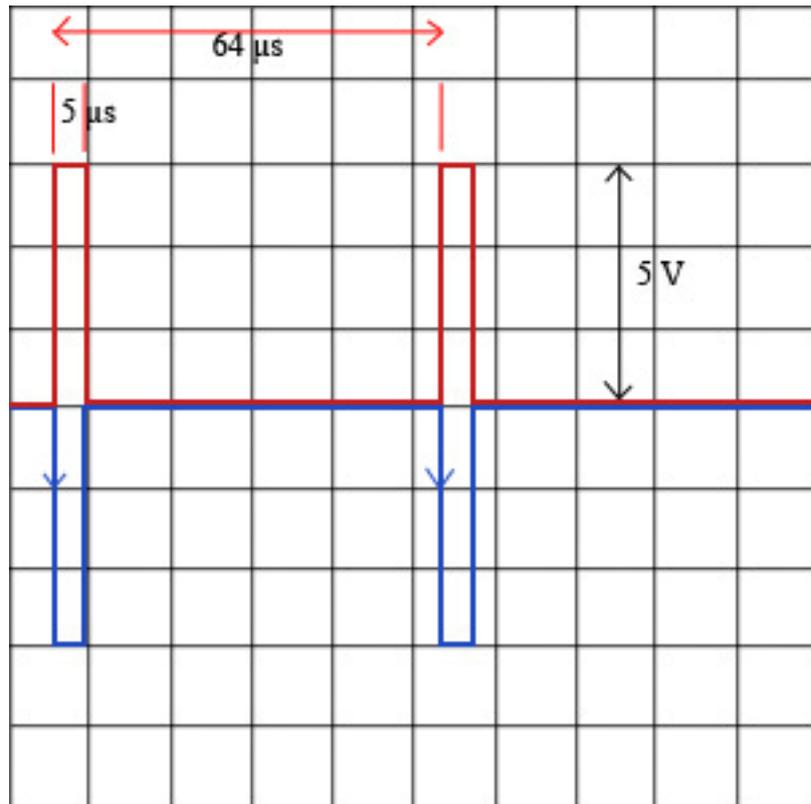


FIGURE 16 : BLEU : SIGNAL SYNCHRONISATION COMPOSITE - ROUGE : SIGNAL 1Q DU MONOSTABLE

D'après le brochage, nous prenons la sortie 1Q inversé que nous injectons en entrée du second monostable. De plus, la broche 9 étant à la masse, ceci indique que la seconde partie du monostable se déclenchera sur front montant. Les valeurs de la résistance et du condensateur sont respectivement de 6,5 kΩ et 1,1 nF d'où lorsque nous calculons la durée de l'impulsion nous obtenons :

$$t_w = 1,980 \mu s$$

La sortie est représentée sur le chronogramme temporel ci-dessous :

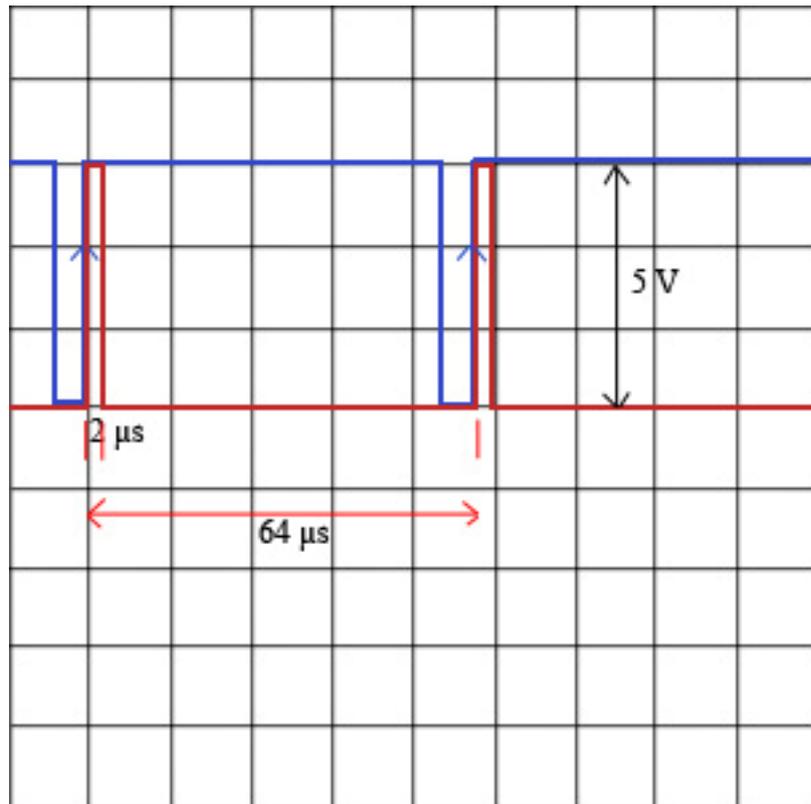


FIGURE 17 : BLEU : SORTIE MONOSTBLE 1Q INVERSE - ROUGE : SORTIE MONOSTABLE 2Q NOMME GATE B

Maintenant pour voir la différence entre Gate A et Gate B nous allons représenter les deux signaux sur le même chronogramme temporel :

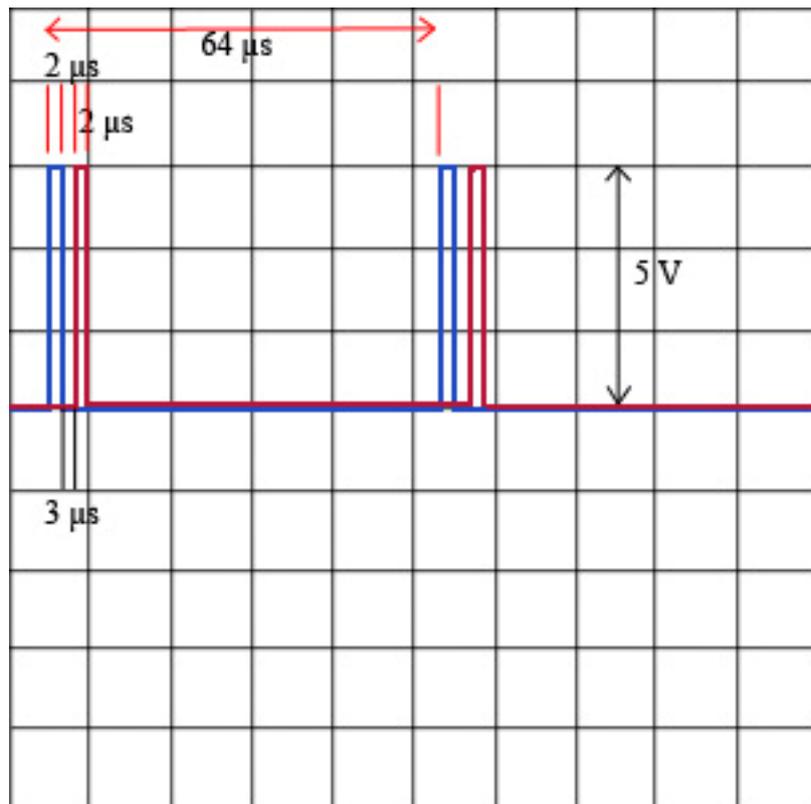


FIGURE 18 : BLEU : GATE A - ROUGE : GATE B

1.3.3 F3 – AMPLIFICATEUR DE SIGNAL +5V ET ISOLATEUR GALVANIQUE DU CAN :

Cette fonction peut-être représentée comme suit :

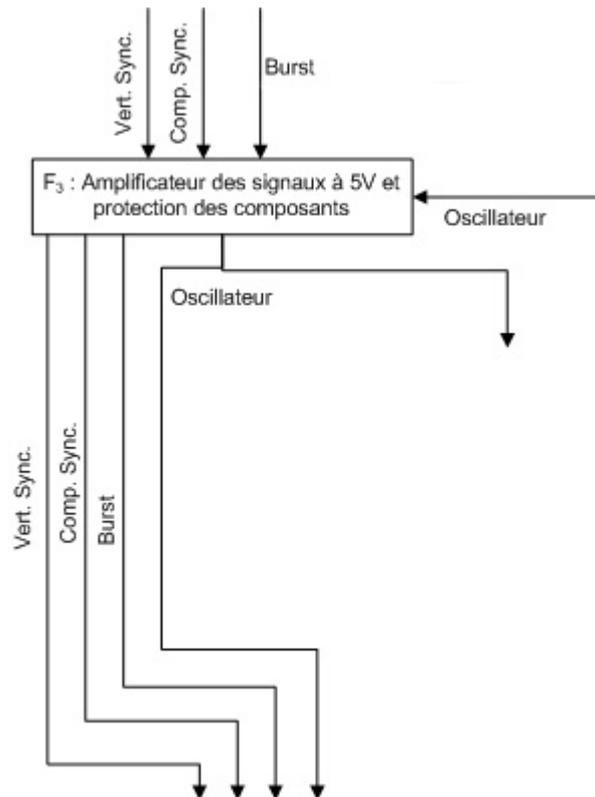


FIGURE 19 : F3 – AMPLIFICATEUR DE SIGNAL +5V ET ISOLATEUR GALVANIQUE DU CAN

Cette fonction est réalisée par le composant logique 74HC08. Il est composé de 4 porte AND et permet à la sortie d’avoir des signaux de rectangulaire de 0 à 5 V. Son schéma structurel est le suivant :

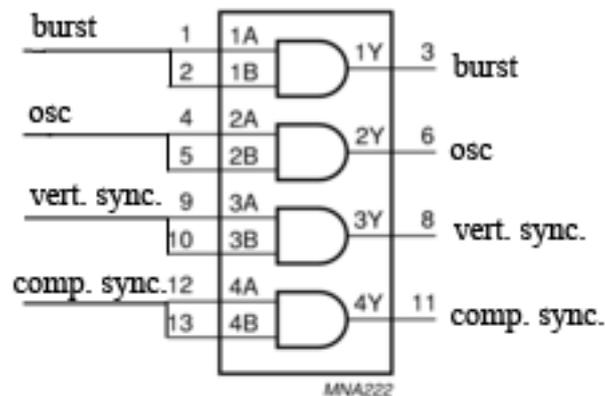


FIGURE 20 : SCHEMA STRUCTUREL DU 74HC08

Cette fonction a le rôle également de protection en cas de surtension ou de dysfonctionnement et les portes logiques ont un rôle d’isolateur entre le CAN et le LM 1881.

1.3.4 F4 – CONVERTISSEUR ANALOGIQUE NUMERIQUE :

Cette fonction peut-être représenté de la façon suivante :

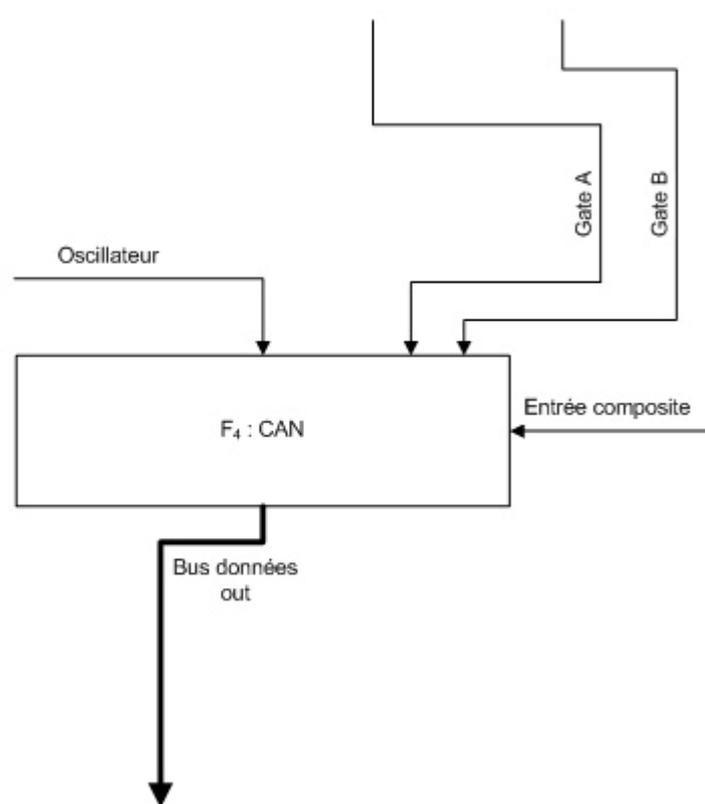


FIGURE 21 : F₄ – CONVERTISSEUR ANALOGIQUE NUMERIQUE

Le câblage de ce composant est le suivant :

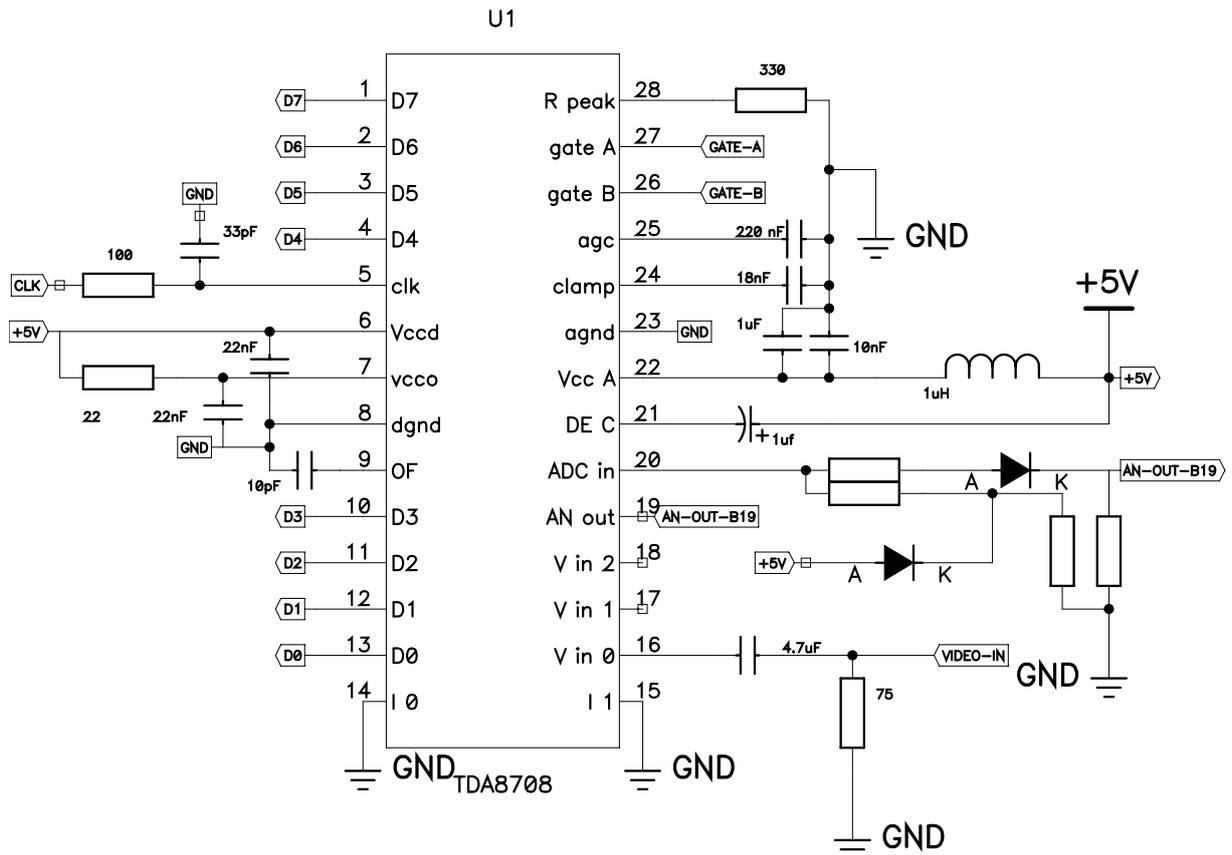


FIGURE 22 : SCHEMA STRUCTUREL CAN TDA8708

Cette fonction est réalisée par le composant TDA8708. Le but est d'échantillonner les informations analogiques. Ainsi l'oscillateur cadencé à 10 Mhz est l'horloge du CAN qui permet d'avoir 520 données numériques par lignes. Les signaux Gate A et Gate B indiquent le mode de fonctionnement du CAN. Le chronogramme que nous avons est le suivant :

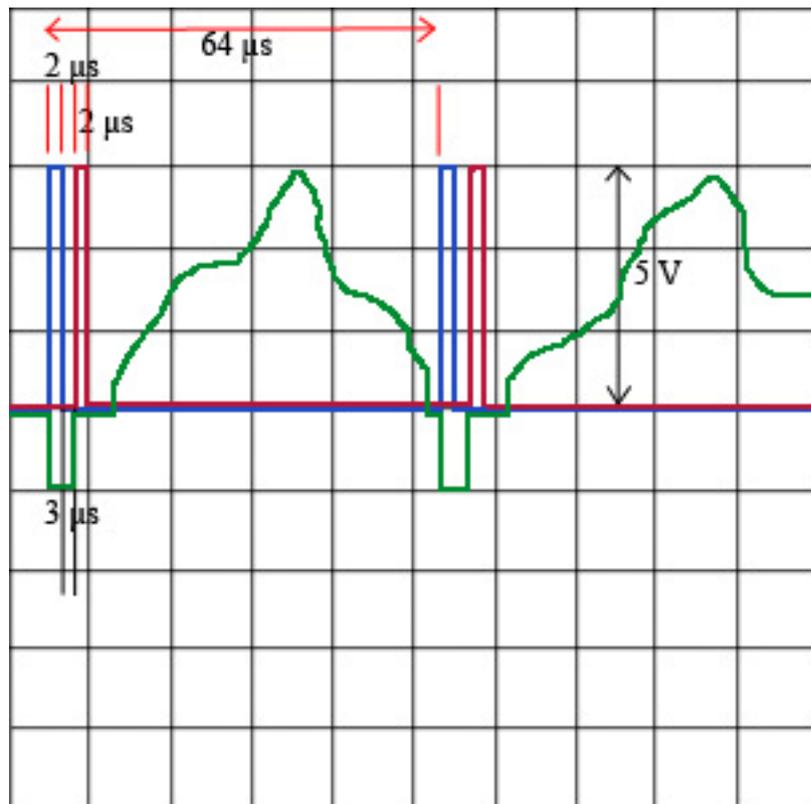


FIGURE 23 : VERT : SIGNAL COMPOSITE ANALOGIQUE VIDEO - BLEU : GATE A - ROUGE : GATE B

Dans la documentation, nous pouvons trouver la similitude avec le mode 2 :

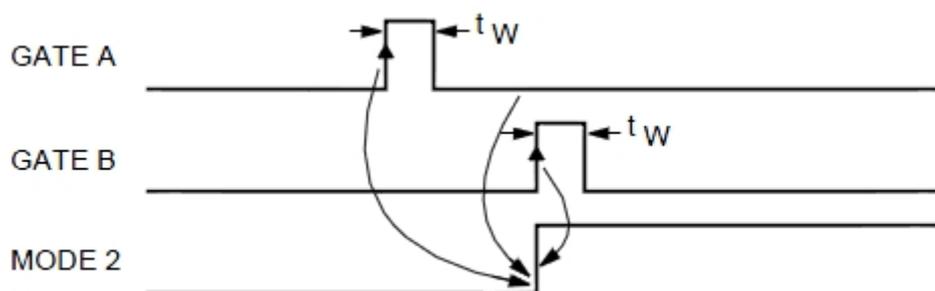


FIGURE 24 : MODE 2 DU CAN

Dans ce mode, le fonctionnement est le suivant :

Dans ce mode, l'impulsion de la synchro ligne du signal composite analogique est utilisée comme amplitude de référence comme l'indique le chronogramme ci-dessous :

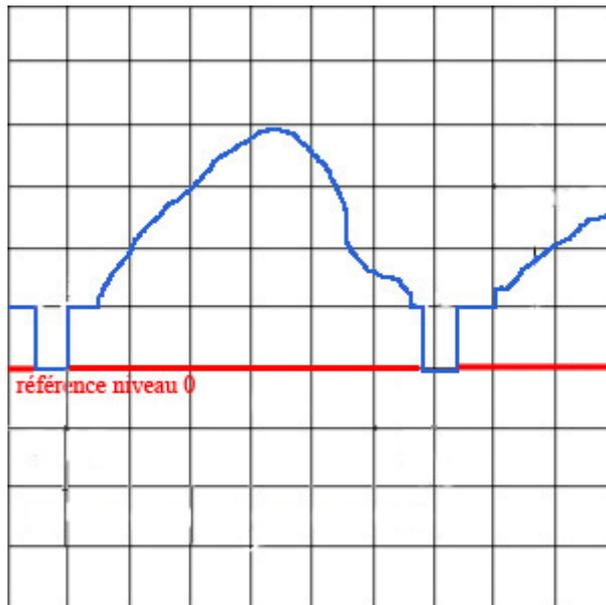


FIGURE 25 : SYNCHRO LIGNE REPRESENTANT LE NIVEAU DE REFERENCE 0

Le niveau de noir vaut alors la valeur numérique 64 comme représenté ci-dessous :

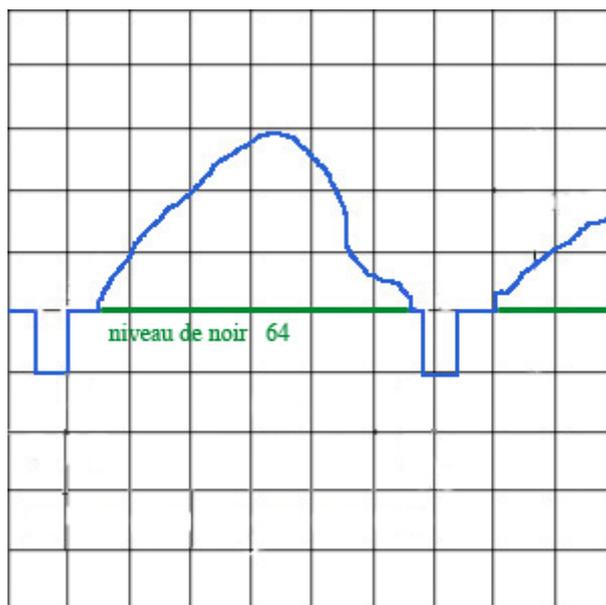


FIGURE 26 : NIVEAU DE NOIR A LA VALEUR NUMERIQUE 64

Dans ce mode, nous avons un seuil maximal qui est de 248. Toutes les valeurs supérieures à ce seuil valent donc 248. Pour résumer nous avons ce type de fonctionnement :

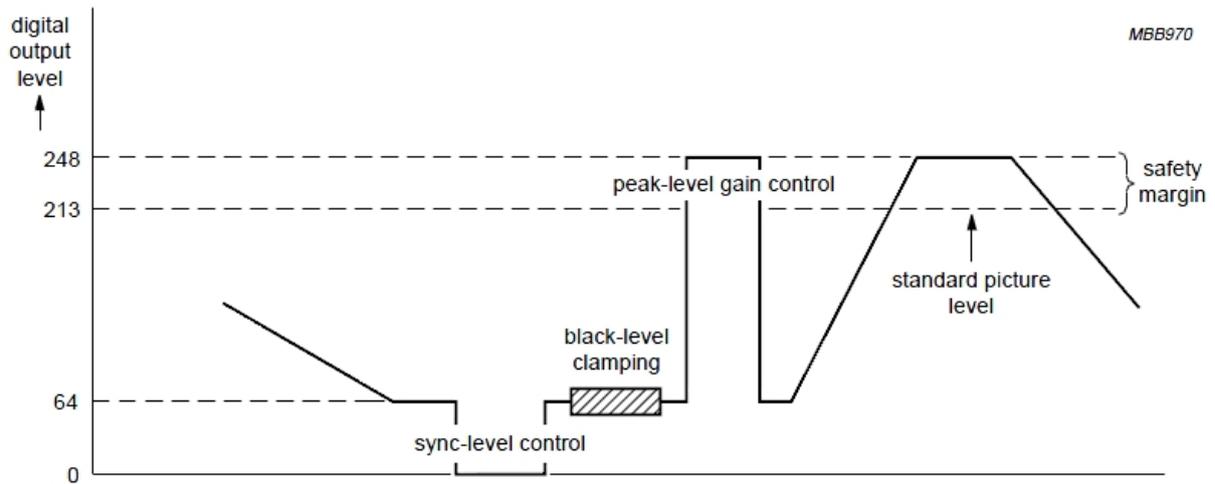


FIGURE 27 : FONCTIONNEMENT EN MODE 2

1.3.5 F5 – OSCILLATEUR 10 MHz :

Cette fonction permet de générer une horloge de 10 MHz. Nous pouvons justifier la valeur de l'oscillateur de la façon suivante. Nous avons un écran de 520 pixels. Le but est alors d'échantillonner les données de chaque ligne afin d'obtenir 520 valeurs numériques. Cette partie du signal ayant une durée de 52 µs on en déduit :

$$f = \frac{520}{52 \cdot 10^{-6}} = 10 \text{ MHz}$$

Cette fonction est représentée de la façon suivante :

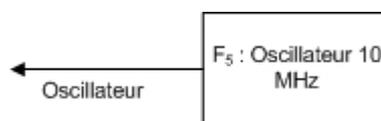


FIGURE 28 : F5 – OSCILLATEUR 10 MHz

Le chronogramme temporel de l'oscillateur est le suivant :

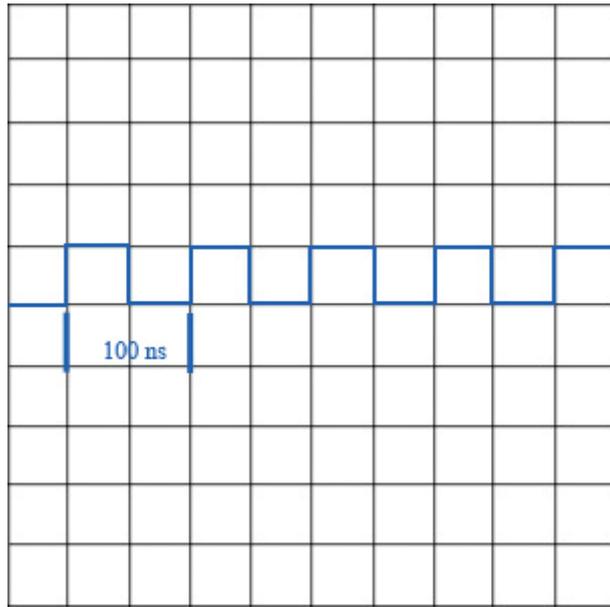


FIGURE 29 : OSCILLATEUR 10 MHZ

1.4 ETUDE DE LA PARTIE ENVOI DE LA CARTE :

Dans cette partie nous présenterons, les différentes fonctions qui permettent l'envoi d'une image. Ces fonctions sont représentées sur le schéma fonctionnel ci-dessous :

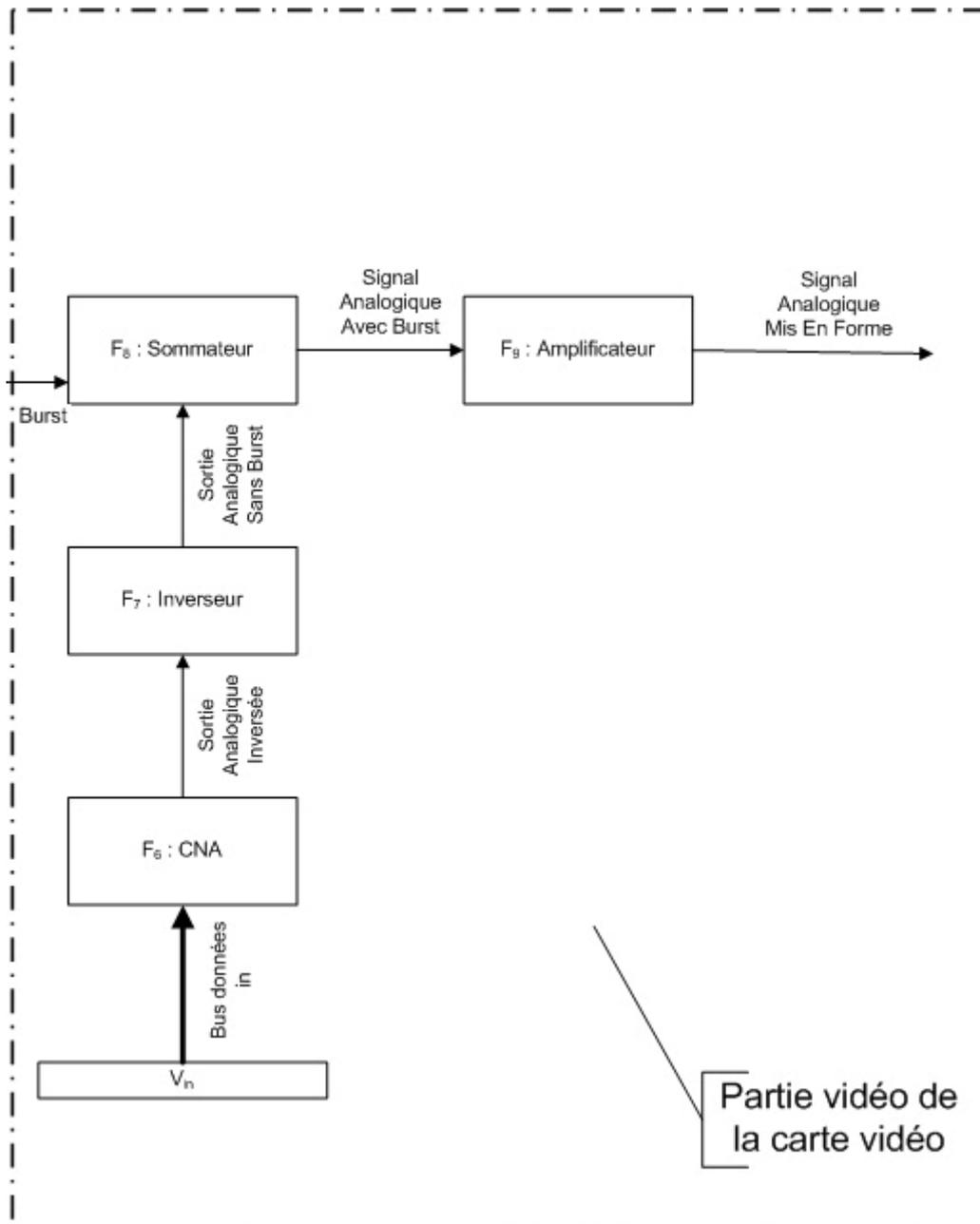


FIGURE 30 : PARTIE ENVOI DE LA CARTE

Le schéma structurel de cette partie est le suivant :

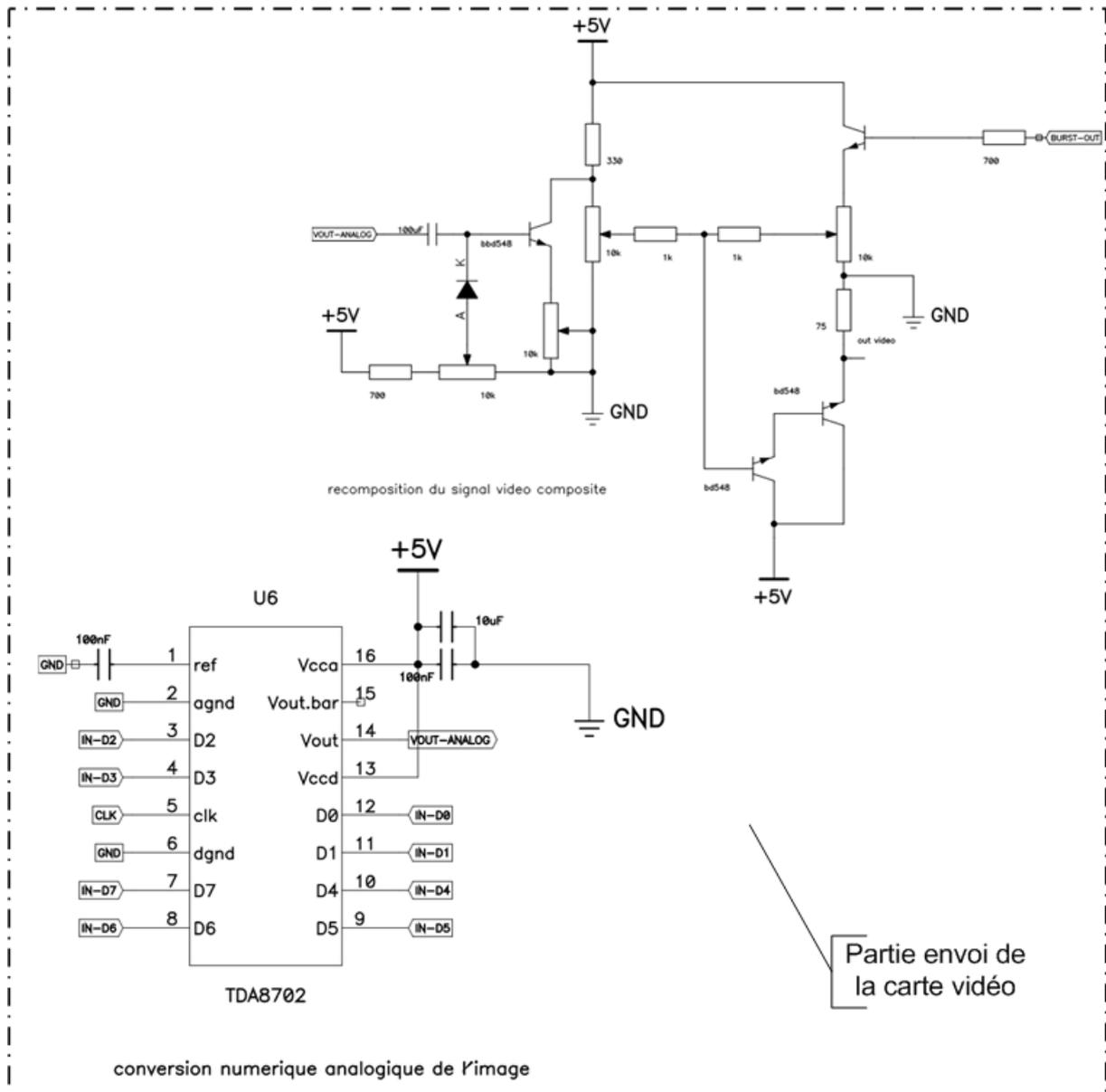


FIGURE 31 : SCHEMA STRUCTUREL DE LA PARTIE ENVOI DE LA CARTE

Le but de cette partie est convertir les données numériques, qui ont été traitées par la carte de traitement d'image, en données analogiques. En effet, pour afficher le signal sur l'écran nous devons avoir un signal de la même composition que le signal composite vidéo d'entrée. C'est ainsi que nous pouvons justifier l'emploi d'un convertisseur numérique analogique, et une suite de montage inverseur, sommateur et amplificateur permettant une mise en forme du signal sous la forme conventionnel d'un signal composite vidéo.

1.4.1 F6 – CONVERTISSEUR NUMÉRIQUE ANALOGIQUE :

Le but de cette fonction est d'obtenir un signal analogique pour pouvoir ensuite l'afficher sur un écran en passant par une mise en forme.

Cette fonction est réalisée par le TDA8702. La fonction est représentée de la façon suivante :

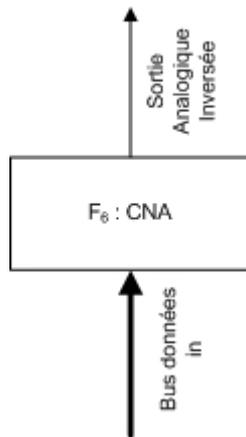
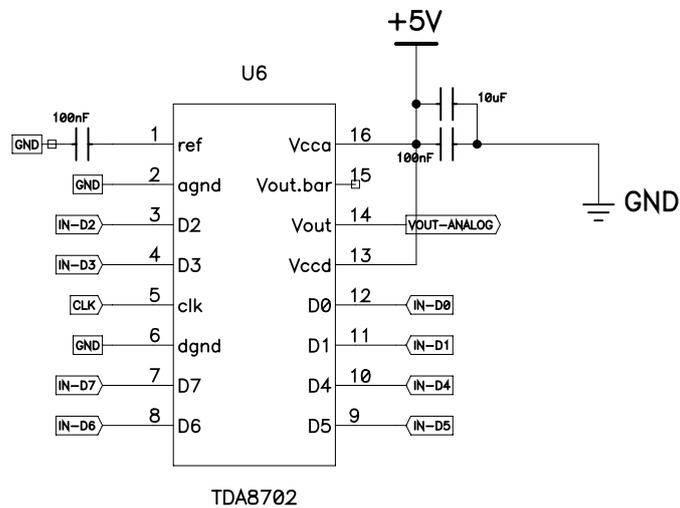


FIGURE 32 : F6 – CONVERTISSEUR NUMERIQUE ANALOGIQUE

Le câblage du convertisseur numérique analogique TDA8702 est le suivant :



conversion numerique analogique de l'image

FIGURE 33 : SCHEMA STRUCTUREL DU CAN TDA8702

La sortie de ce convertisseur analogique numérique est de la forme suivante :

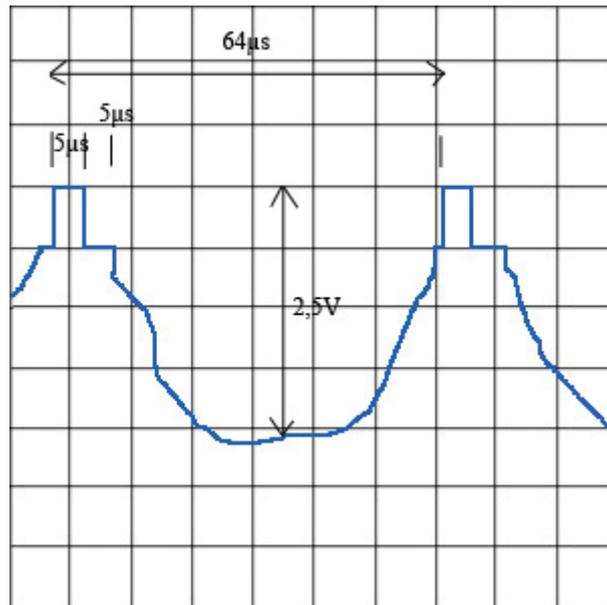


FIGURE 34 : SIGNAL DE SORTIE DU CNA

Nous remarquons que la sortie du convertisseur numérique analogique est bien un signal vidéo mais inversé par rapport à ce que nous avons besoin.

1.4.2 F7 – INVERSEUR :

Le signal de la sortie du CNA doit être mis en forme. Nous commençons par inverser le signal. On peut représenter cette fonction comme ci-dessous :

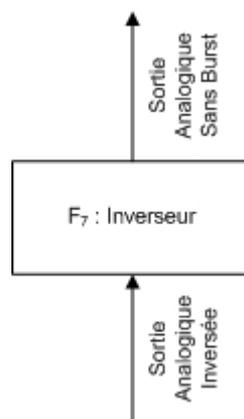


FIGURE 35 : F7 – INVERSEUR

On utilise le montage suivant :

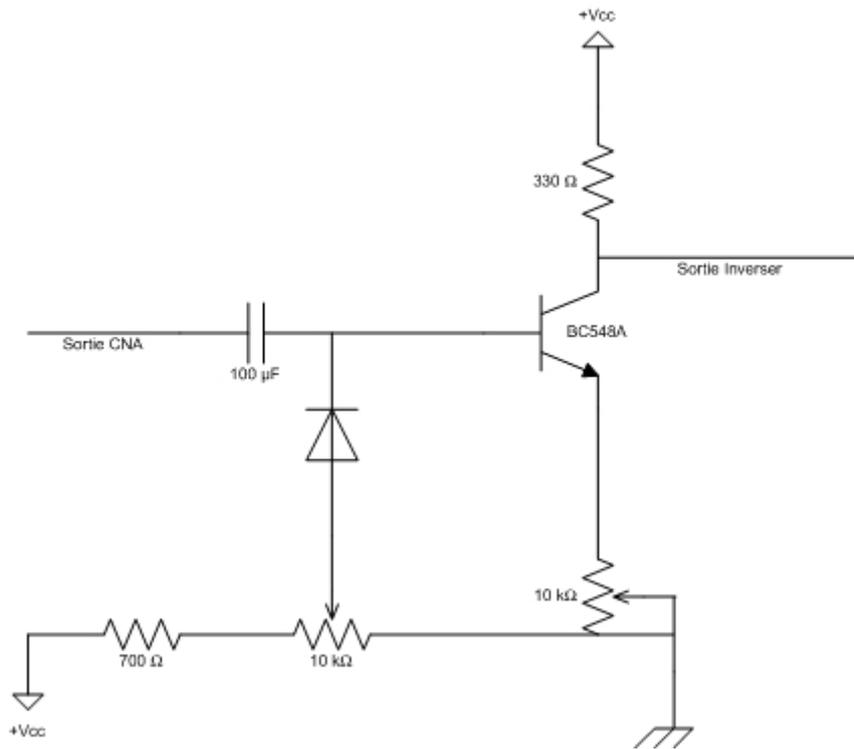


FIGURE 36 : MONTAGE INVERSEUR

Le signal inversé est donc le suivant :

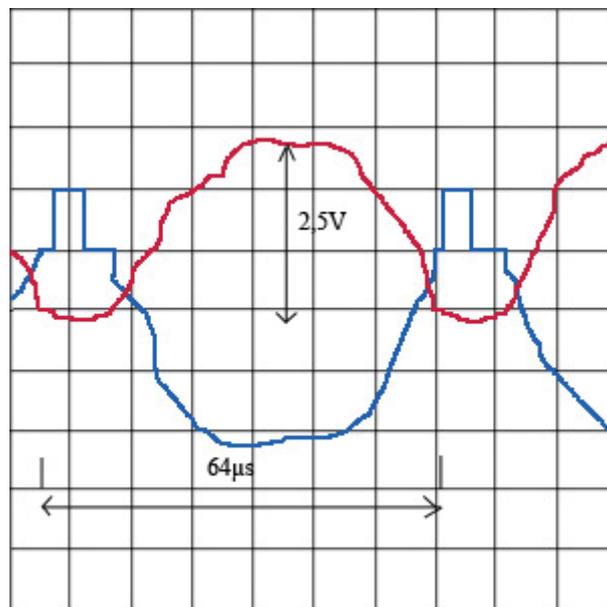


FIGURE 37 : BLEU : SIGNAL SORTIE CNA - ROUGE : SIGNAL SORTIE INVERSEUR

1.4.3 F8 – SOMMATEUR :

Il manque l'information de burst au signal inversé. Cette fonction est représentée de la façon suivante :

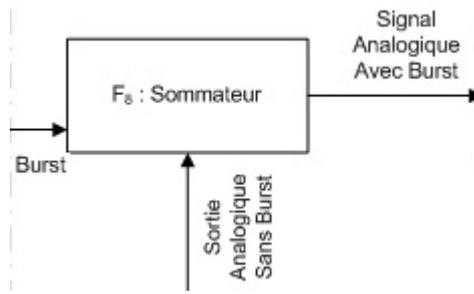


FIGURE 38 : F8 – SOMMATEUR

Le montage sommateur est le suivant :

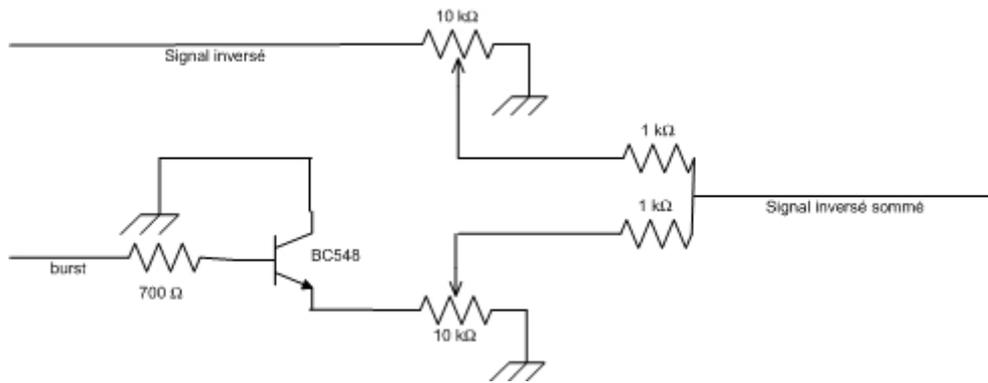


FIGURE 39 : MONTAGE SOMMATEUR

Le signal à la sortie de l'inverseur est le suivant :

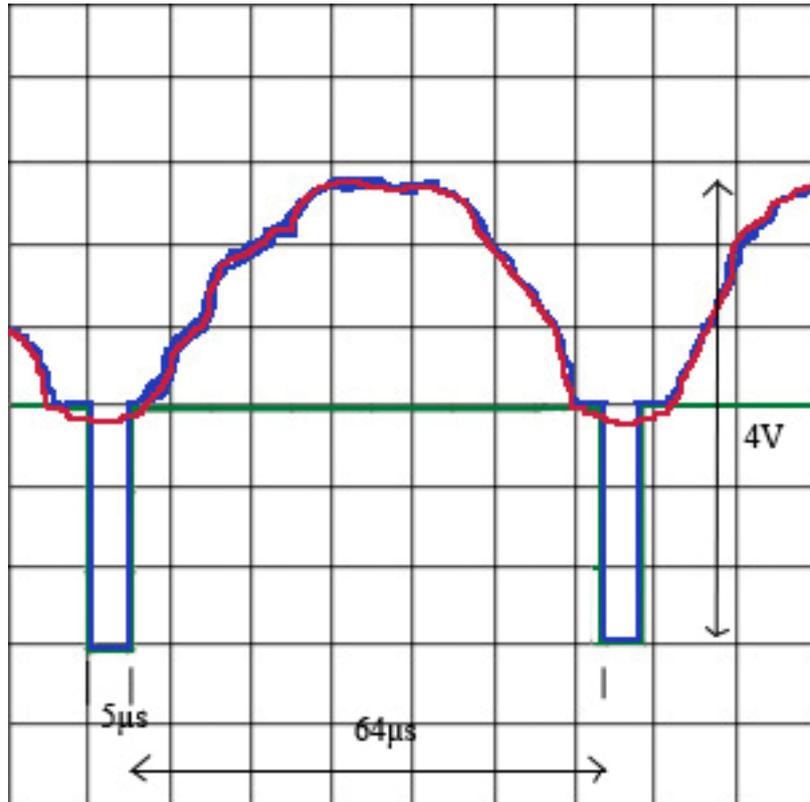


FIGURE 40 : ROUGE : SIGNAL INVERSE - VERT : SIGNAL BURST - BLEU : SIGNAL SOMME

Le courant circulant dans les résistances est :

$$I = \frac{V_{signal\ inv} - V_{burst}}{2 \cdot R_{total}}$$

Donc la tension en sortie sera la suivante :

$$V_{sortie} = \frac{V_{signal\ inv} + V_{burst}}{2}$$

1.4.4 F9 – AMPLIFICATEUR :

Cette fonction est la phase finale de mise en forme pour obtenir un signal conventionnel. Cette fonction est représentée de la façon suivante :



FIGURE 41 : F9 – AMPLIFICATEUR

Le montage est le suivant et est nommé montage Darlington :

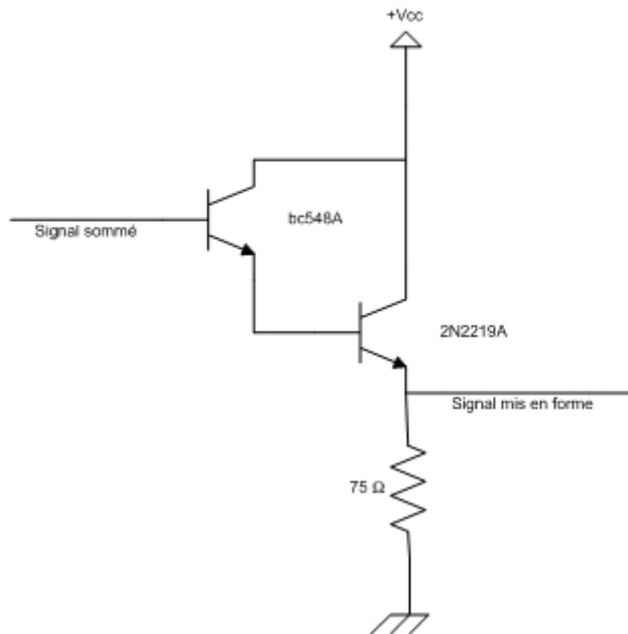


FIGURE 42 : MONTAGE AMPLIFICATEUR

Pour connaître l'amplification, nous pouvons indiquer le gain du montage Darlington. Pour un transistor bipolaire nous savons que :

$$I_c = \beta \cdot I_B$$

Dans notre cas, nous pouvons déduire de ce montage :

$$I_C = I_{C1} + I_{C2}$$

Or d'après la formule précédente :

$$I_C = \beta_1 \cdot I_{B1} + \beta_2 \cdot I_{B2}$$

Or :

$$I_{B2} = I_{B1}(\beta_1 + 1)$$

D'où :

$$I_C = \beta_1 \cdot I_{B1} + \beta_2 \cdot \beta_1 \cdot I_B + \beta_2 \cdot I_B$$

$$I_C = I_B \cdot (\beta_1 + \beta_1 \cdot \beta_2 + \beta_2)$$

Donc le gain total d'un montage Darlington est :

$$\beta_{total} = \beta_1 + \beta_1 \cdot \beta_2 + \beta_2$$

Le premier transistor étant un BC548A, celui-ci à un gain $\beta_1 = 90$, et le second transistor est un 2N2219A qui à un gain $\beta_2 = 75$. Le gain total est donc :

$$\beta_{total} = 90 + 90.75 + 75$$

$$\beta_{total} = 6915$$

Le signal en sortie est donc sous la forme suivante :

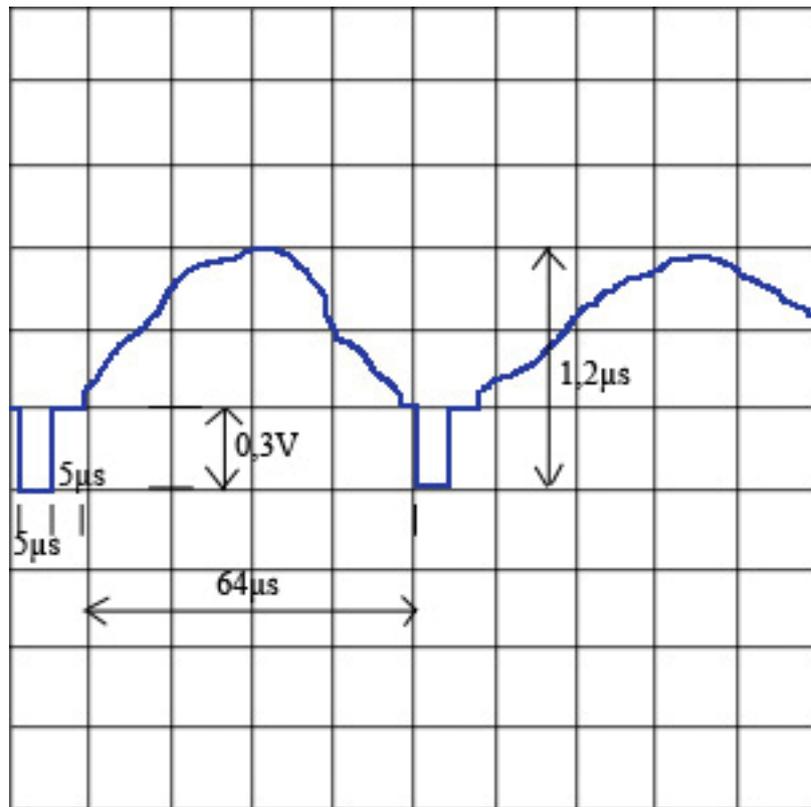


FIGURE 43 : SIGNAL MIS EN FORME

2 ETUDE DE LA CARTE DE TRAITEMENT D'IMAGE A BASE FPGA :

Nous présenterons tout d'abord ce qu'est un FPGA et une RAM. Dans un second de temps, nous dériverons le schéma structurel des liaisons entre le FPGA et la RAM. Dans une troisième partie, nous présenterons la configuration du FPGA. Enfin, nous verrons le mode de fonctionnement de la mémoire.

2.1 PRESENTATION GENERALE :

2.1.1 FPGA :

Un FPGA est un circuit intégré logique programmable. Le premier avantage de ce composant est qu'il est programmable à volonté. Le second avantage est que ce composant est standard. Le FPGA a des avantages surtout au niveau commercial. En effet, les délais de commercialisation sont beaucoup plus courts. Le développement est beaucoup plus simple et plus rapide du faite de la facilité à reprogrammer. Le coût d'une petite série de circuit intégré revient moins cher en utilisant des FPGA puisque ce sont des composants standards.



FIGURE 44 : EXEMPLE D'UN CIRCUIT FPGA

2.1.2 RAM :

La RAM sert à stocker des données utilisateurs. L'avantage de celle-ci est sa rapidité d'accès autant au niveau de l'écriture qu'au niveau de la lecture.

2.2 SCHEMA STRUCTUREL DES LIAISONS ENTRE LE FPGA ET LA RAM :

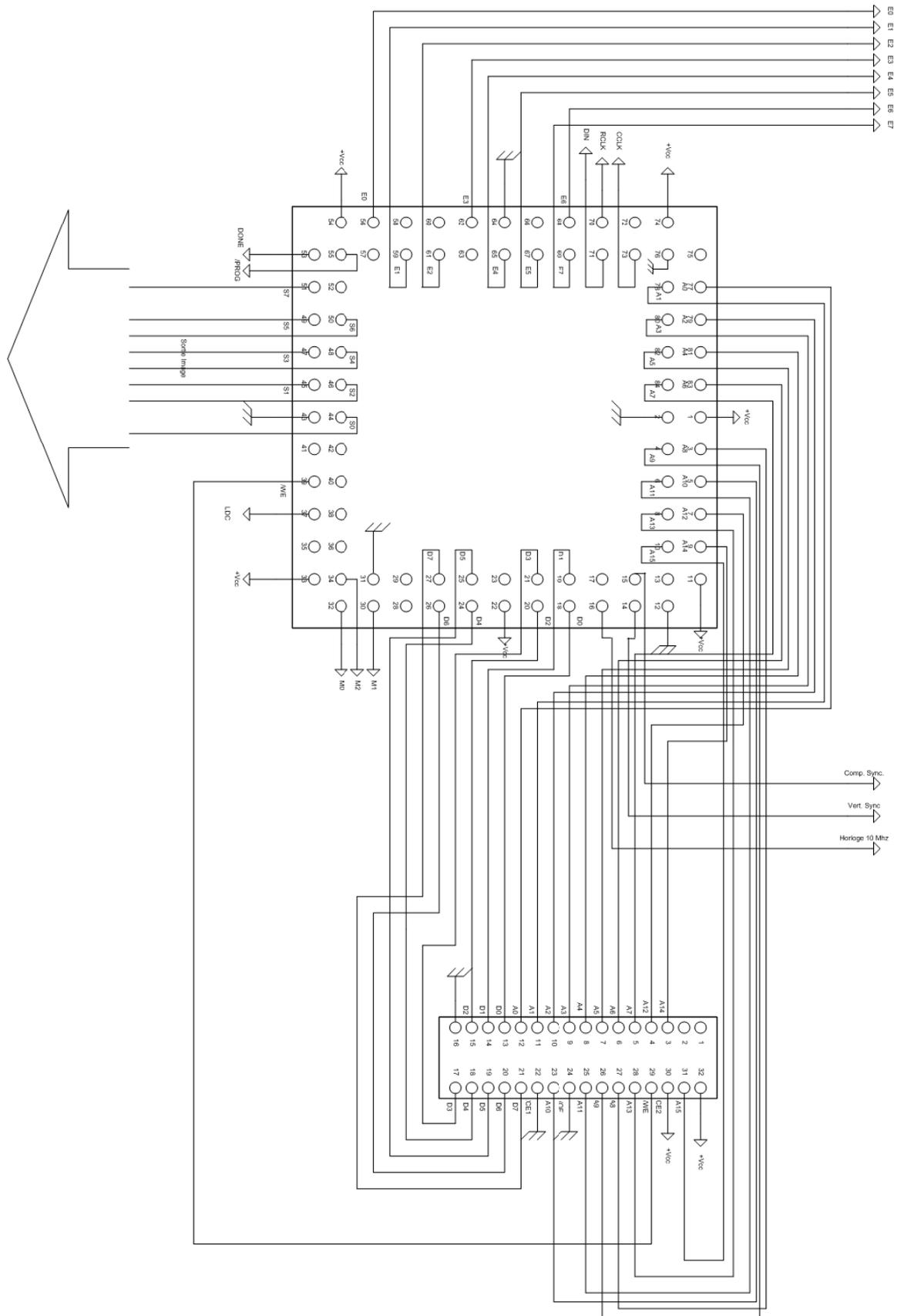


FIGURE 45 : SCHEMA STRUCTUREL DES LIAISONS ENTRE LE FPGA ET LA RAM

Les broches d'entrée vidéo du FPGA qui proviennent de la carte d'acquisition sont 58, 61, 62, 65, 67, 68 et 69.

Les broches d'adressage du FPGA sont : 77, 78, 79, 80, 81, 82, 83, 84, 3, 4, 5, 6, 7, 8, 9 et 10. Ces broches sont envoyées sur les broches d'adressage de la RAM qui sont les suivantes : 12, 11, 10, 9, 8, 7, 6, 5, 27, 26, 23, 25, 4, 28, 3, 31.

Les broches d'échange des données entre le FPGA et la RAM, dans le cas du FPGA sont : 18, 19, 20, 21, 24, 25, 26, 27 et dans le cas de la RAM : 14, 15, 17, 18, 19, 20, 21.

La broche qui permet de choisir l'écriture ou la lecture de la RAM est la broche 29 qui est reliée à la broche 39 du FPGA.

Les broches 30, 32, 34 du FPGA servent aux choix de la configuration du FPGA.

2.3 MODE DE FONCTIONNEMENT DU FPGA :

Le mode de fonctionnement du FPGA est donné par les broches 30, 32, 34 qui sont les M_0 , M_1 et M_2 . Nous fonctionnons en mode série. Lorsque nous allons utiliser le FPGA en mode maître, c'est-à-dire en Master Serial Mode, les entrées M_0 , M_1 , M_2 seront toutes à 0. Lors de la programmation du FPGA, celui-ci doit être en mode esclave c'est-à-dire Slave Serial Mode. Les entrées M_0 , M_1 , M_2 seront toutes à 1. Les données devront alors être envoyées dans la broche DIN qui est la broche 70.

La broche DONE permet de donner le statut de la configuration. Cette broche est la broche 53.

La broche PROGRAM permet d'effacer la configuration actuelle. La broche 55 est dédiée à cette fonction.

La broche LDC permet d'avoir toutes les entrées/sorties au niveau bas lors de la configuration. La broche 37 est dédiée à cette fonction.

La broche RCLK permet de réinitialiser l'horloge de synchronisation. La broche dédiée est 70.

La broche CCLK est une horloge de synchronisation lors de la configuration. La broche dédiée est 73.

2.4 MODE DE FONCTIONNEMENT DE LA RAM :

Dans cette partie, nous allons tout d'abord présenter les caractéristiques importantes de RAM qui détermineront une démarche scientifique quand au fonctionnement du FPGA.

2.4.1 CARACTERISTIQUES :

La RAM que nous possédons a une capacité de 128 Ko. Nous utiliserons cette RAM seulement en deux différents modes : en lecture ou en écriture.

Pour que la RAM soit utilisée en mode lecture il faudra que le brochage soit le suivant :

$WE = 1 (+V_{cc})$, $CE1 = 0 (0V)$, $CE2 = 1 (+V_{cc})$, $OE = 0 (0V)$.

Pour que la RAM soit utilisée en mode écriture il faudra que le brochage soit le suivant :

$WE = 0 (0V)$, $CE1 = 0 (0V)$, $CE2 = 1 (+V_{cc})$, $OE = X$.

2.4.2 DETERMINATION DE FONCTIONNEMENT :

Nous ne possédons que de 128 Ko or pour sauvegarder une image pour le traitement du signal, nous avons besoin de 520 bits, qui correspondent aux 520 pixels, par lignes. D'où :

$$520.625 = 325 \text{ Ko}$$

Nous manquons de mémoire. Pour contourner ce problème, lorsque nous aurons besoin de stocker une image, nous garderons alors uniquement un pixel sur deux et seulement une ligne sur deux. Ceci revient à prendre un pixel sur deux sur une des deux trames. Nous aurons alors :

$$\left(\frac{520}{2}\right) \cdot \left(\frac{625}{2}\right) = 81,250 \text{ Ko}$$

3 PROGRAMMATION LOGIQUE INTERNE AU FPGA DESTINE AU TRAITEMENT

D'IMAGE :

3.1 NEGATIF :

Pour obtenir un pixel qui est le négatif d'un pixel entrant, il suffit de prendre l'inverse de chaque bit des huit bits qui composent un pixel. Le logigramme logique interne au FPGA sera le suivant :

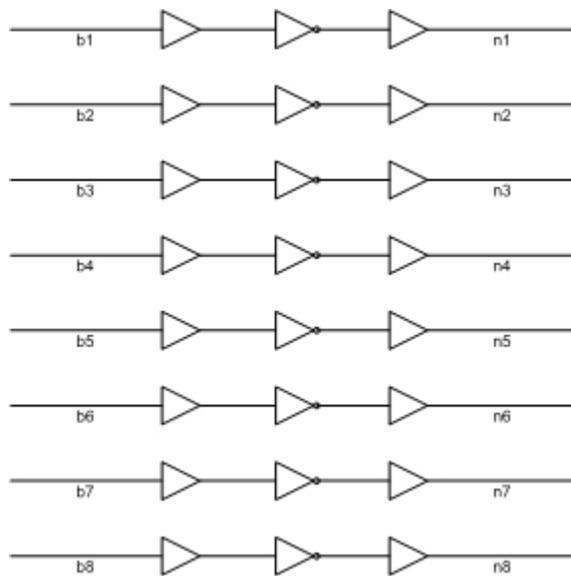


FIGURE 46 : LOGIGRAMME POUR OBTENIR LE NEGATIF

3.2 LISSEUR :

L'équation du lisseur que nous voulons implémenter est régit par l'équation :

$$y(x) = \frac{f(x) + f(x - 1)}{2}$$

Il faudra additionner le pixel à l'instant t et $t-1$ et diviser le résultat par deux. Pour obtenir un retard, on fera passer chaque bit des huit bits dans une bascule D. Ensuite nous additionnerons chaque bit à l'instant t avec le bit à l'instant $t-1$ et ceci pour les huit bits. Enfin, pour effectuer la division par deux nous n'avons plus qu'à effectuer un décalage du bus vers la droite. C'est-à-dire que par exemple le 5^{ème} bit sera alors le 4^{ème} bit. Le logigramme interne sera le suivant :

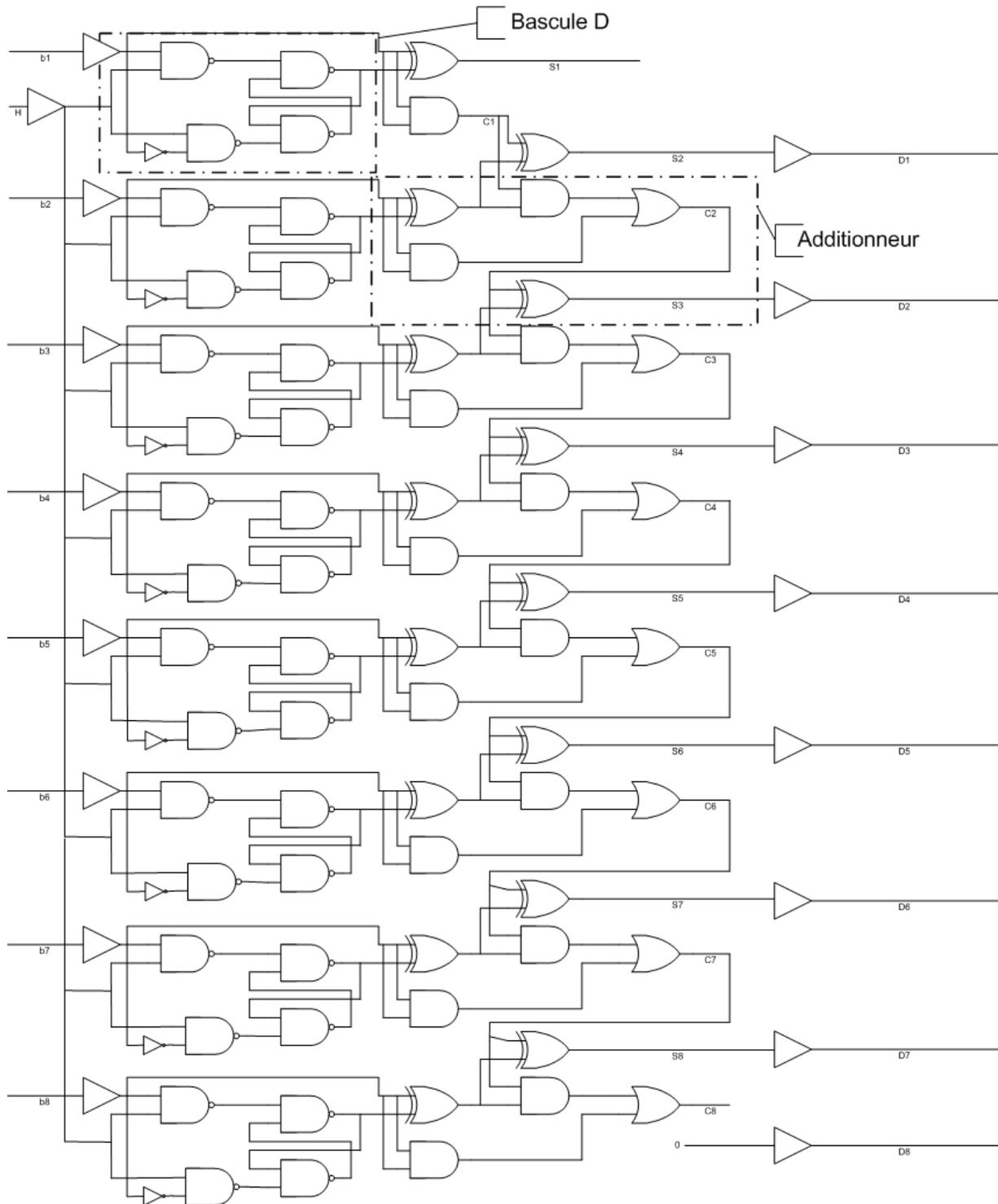


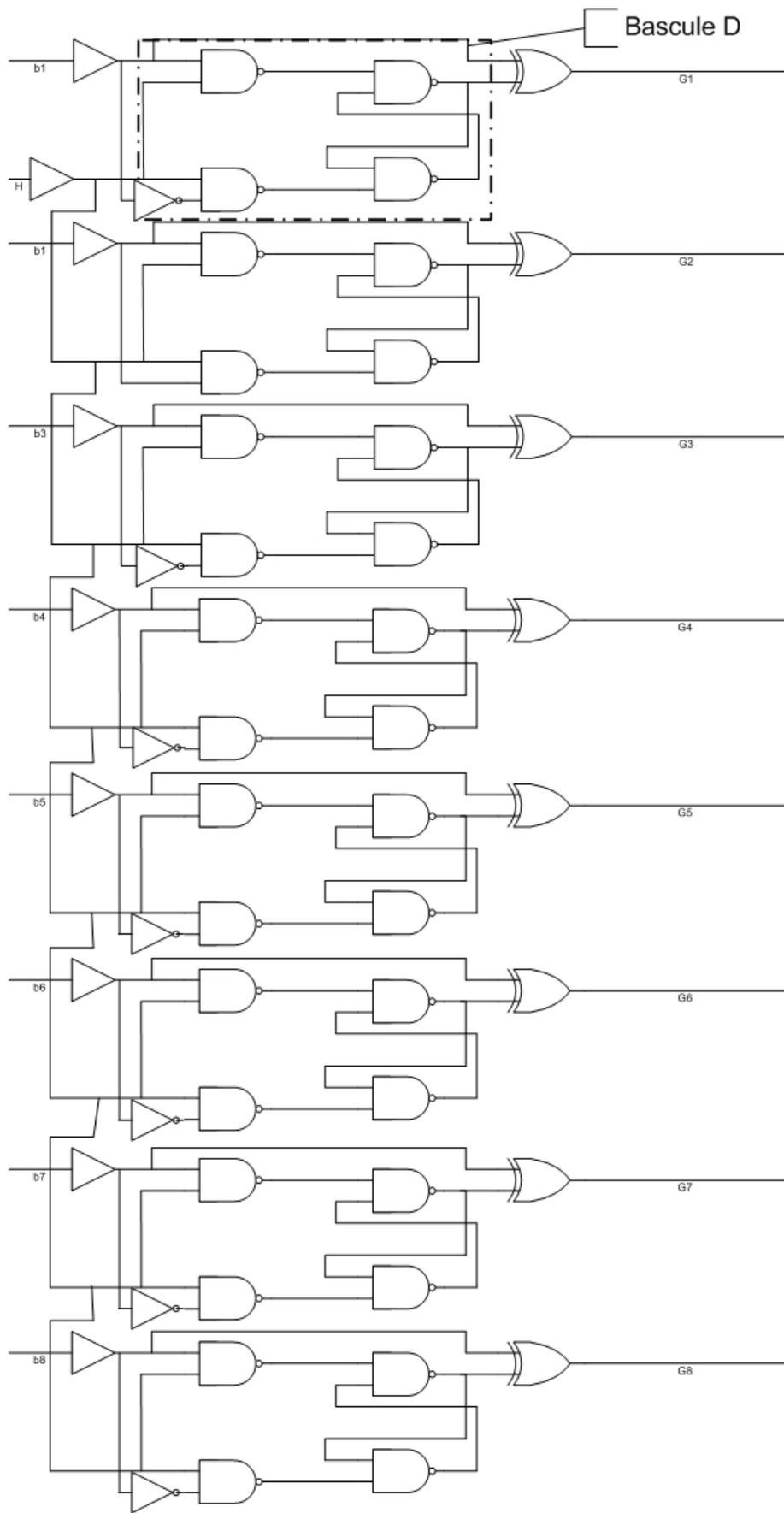
FIGURE 47 : LOGIGRAMME DU LISSEUR

3.3 GRADIENT :

L'équation du lisseur que nous voulons implémenter est régit par l'équation :

$$y(x) = f(x) \oplus f(x - 1)$$

Il faut passer dans une porte XOR un bit à l'instant t et un bit à l'instant $t-1$. Pour obtenir un retard, on passe le bit dans une bascule D. Le logigramme interne au FPGA sera celui-ci :



3.4 SOUSTRACTION ENTRE DEUX IMAGES :

Pour soustraire deux images, il faut avoir précédemment enregistré une image dans la RAM et ainsi soustraire un pixel arrivant de la carte d'acquisition avec un pixel arrivant de la RAM. Le logigramme interne au FPGA est le suivant :

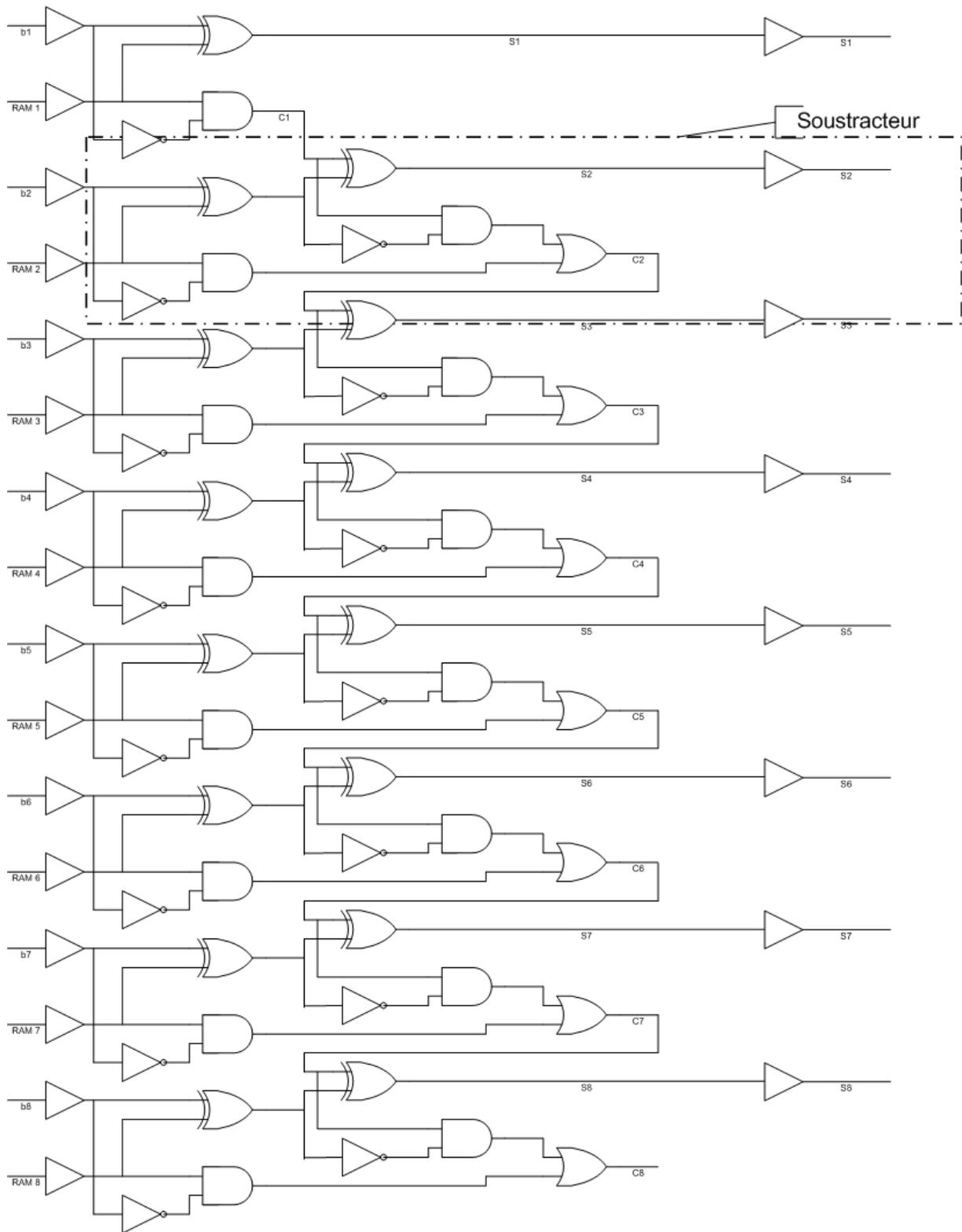


FIGURE 49 : SOUSTRACTION ENTRE DEUX IMAGES

4 CONCLUSION :

Il a été présenté dans cette étude le développement d'une carte de traitement d'image à base de FPGA.

Nous avons donc présenté dans un premier temps la carte d'acquisition/envoi FPGA. Nous avons détaillé en détail, la partie acquisition qui permet de convertir un signal analogique en données numériques pour être ultérieurement utilisées pour le traitement du signal. Nous avons également détaillé la partie envoi où nous convertissons les données numériques pour obtenir un signal analogique conventionnel pouvant être affiché.

Dans un second temps, nous avons présenté le mode de fonctionnement et le câblage du FPGA ainsi que de RAM.

Nous avons fini par présenter, les différentes programmations logiques que nous implanterons dans le FPGA pour effectuer le traitement du signal. Les différents programmes ont pour but de réaliser, le négatif d'une image, de lisser l'image, de trouver les contours grâce au calcul du gradient ainsi que d'effectuer une soustraction entre deux images.